

IV. LSI の製作プロセス

IV・1 Si ウェハ製作工程

Si LSI は超高純度の Si 単結晶ウェハを用いて製作される。Si ウェハの原料は珪石 SiO_2 であり、地殻を構成する元素の中で最も多い酸素と 2 番目に多い Si の化合物である (表 IV. 1. 1)。

まず Si を精錬する (図 IV. 1. 1)。

- ① ノルウェーなどで採掘される比較的純度の高い珪石を、コークスや木炭と一緒に電気炉で加熱して還元し、純度 98% 程度の Si にする。
- ② 次に塩化水素ガスと反応させ、 SiHCl_3 (トリクロロシラン) ガスにして蒸留し不純物を除去する。
- ③ Si 種棒の表面に熱分解反応によって多結晶 Si を析出させることによって、純度 99. 9999999% (Nine が 9 個あるので、この純度を 9N と呼ぶ) 程度の Si が得られる。含まれる不純物は 1ppb (parts per billion, 10 億分の 1) レベルである。

表 IV. 1. 1 地殻元素の存在度

元素	地殻存在度 (重量%)
O	46.6
Na	2.8
Al	8.1
Si	27.7
Ca	3.6
Fe	5.0

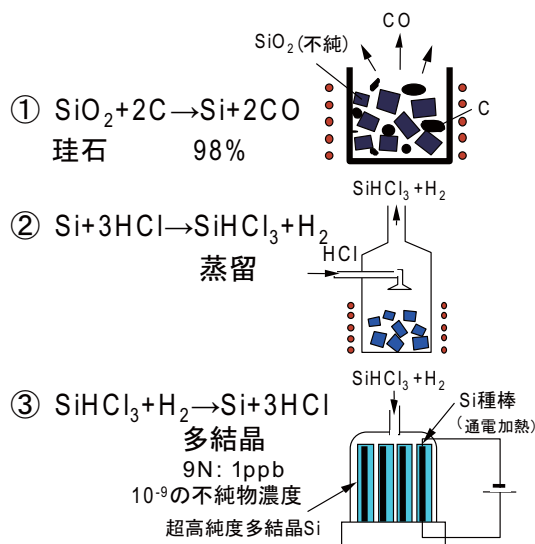


図 IV. 1. 1 Si の精錬法

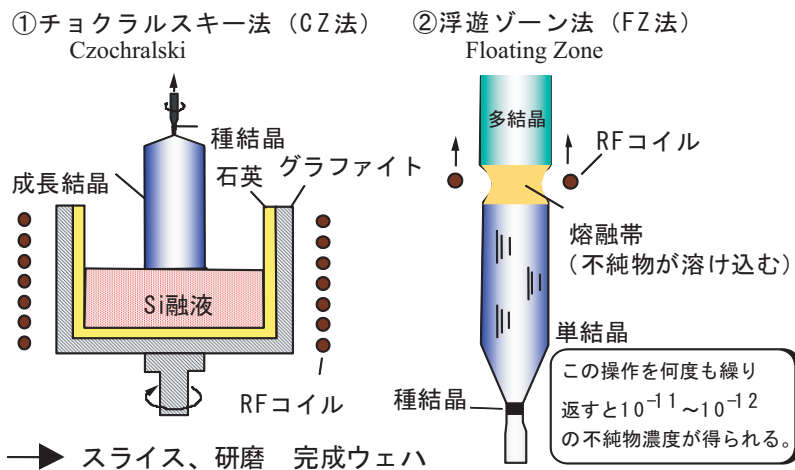


図 IV. 1. 2 Si 単結晶化法

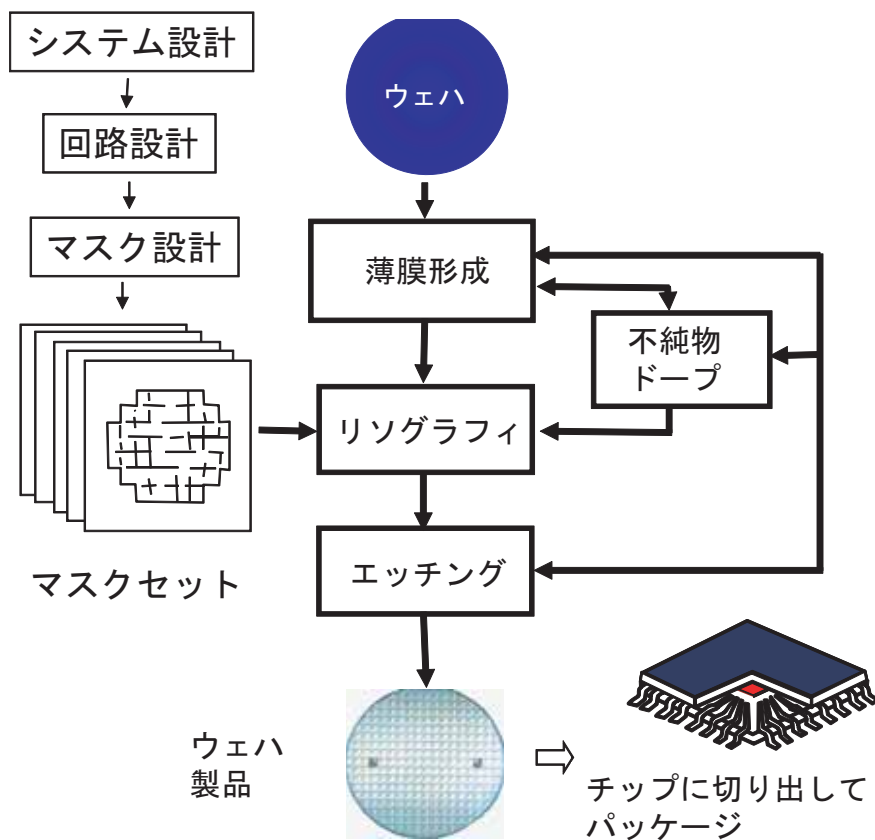
こうして得られたSiは多結晶であり、キャリアの移動度が低いので、これを単結晶にする必要がある。その方法としてよく用いられるのは、チョクラルスキー法と浮遊ゾーン法である。図IV.1.2にこれらの概略を示す。

チョクラルスキー法では、高純度の石英るつぼに入れたSiを溶融させ（融点1420℃）、所望の方位に切り出した種結晶を融液に接触させ、回転させながら引き上げる方法である。Siの伝導型および抵抗率を制御するため、微量のドーピング不純物（P, As, Bなど）をSiといっしょにるつぼに入れる。浮遊ゾーン法は、多結晶棒を不活性ガスまたは真空中におき、高周波誘導加熱によって、多結晶棒の一部を、端の種結晶部分から溶融、固化させながら一方向に何度も走査することによって、11Nから12Nという超高純度のSi結晶を得る方法である。溶融部分における不純物の溶解度が固体部より大きいことを利用している。こうして得られた超高純度の単結晶Siの棒をインゴットと呼ぶ。Siインゴットをスライスし、研磨してSiウェハが完成する。

IV・2 LSI 製作工程

LSIの製作工程の全体を図IV.2.1に示す。マスクを製作するまでの設計工程と、シリコンウェハを加工するウェハプロセスに分けることができる。設計は、システム設計から始まって、回路設計、マスク設計を行い、CMOS(Complementary MOS)の場合は、数十枚からなるマスクセットが完成する。現在では、設計のチェック・改良にコンピュータシミュレーションが多用される。ウェハプロセスのうち、ウェハ上にLSIが完成するまでを前工程、ウェハをチップに切り分けパッケージするまでを後工程と呼ぶ。

図IV.2.2にLSIの主要な部品であるSiMOSトランジスタの製作工程の鳥瞰図を示す。1枚のSiウェハに様々な加工を施すことにより、ウェハ全面に何百個ものチップが一度に形成される。従って、ト



図IV.2.1 LSI 製作工程の全体

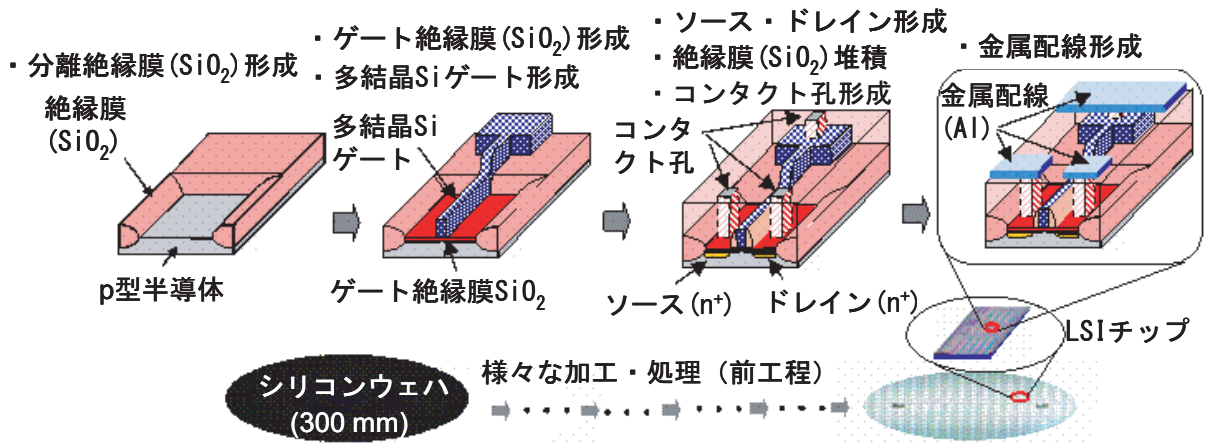


図 IV. 2. 2 MOS トランジスタの製作工程の鳥瞰図

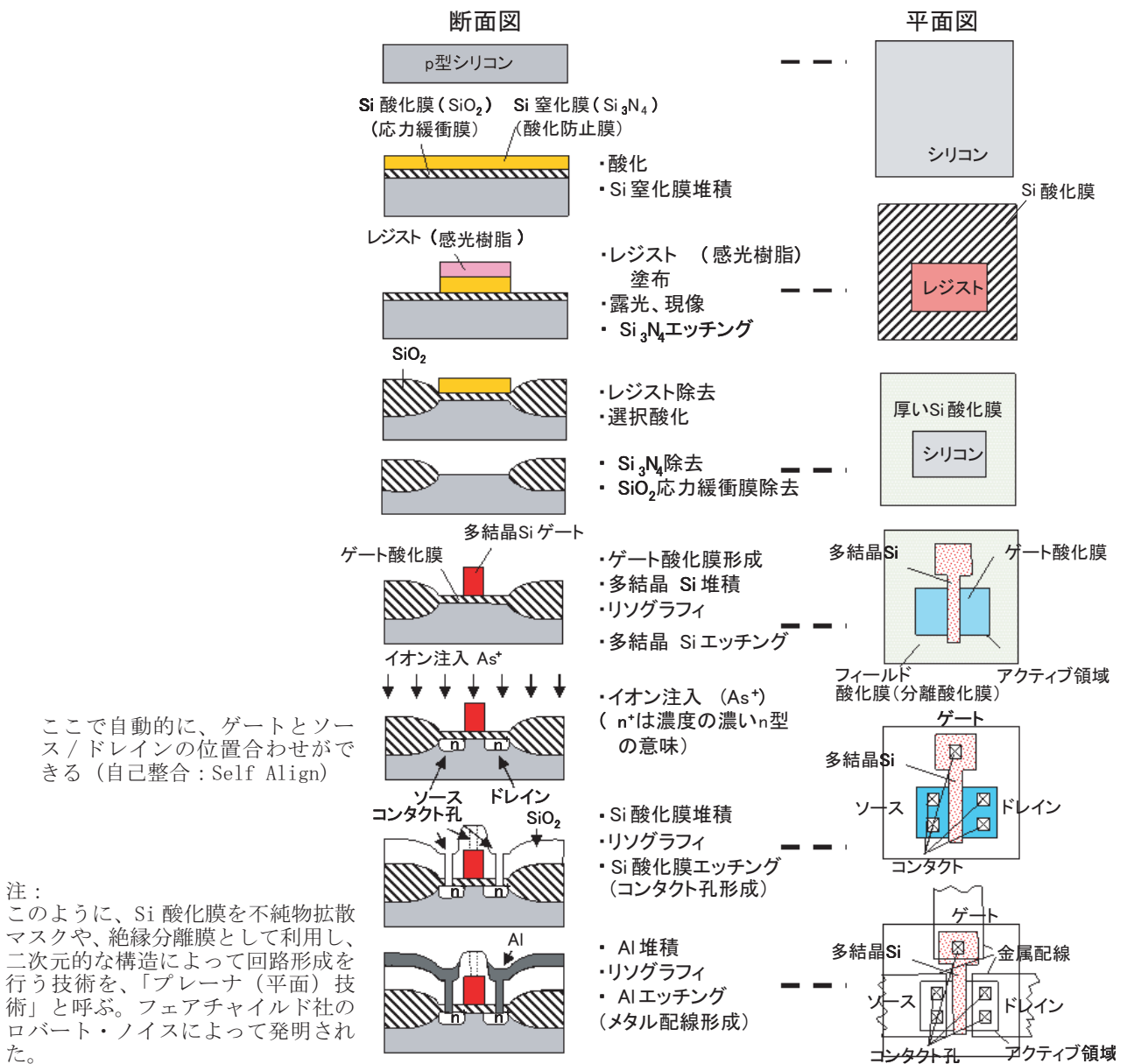


図 IV. 2. 3 MOS トランジスタの製作工程の断面・平面図

ランジスタを小さくすれば、LSI チップの面積が小さくなり、1枚のウェハからたくさんのチップが収穫できる。また、時代と共にLSI チップに要求される能力・機能が増大する。これに応えるためにLSI は益々大規模化し、チップ面積が増大する。そのため、1枚のウェハから収穫できるチップ数が減少するので、これを補うために、ウェハのサイズを大きくしてきた（第1章図 I.7 参照）。このため、微細加工技術とウェハの大口径化技術の両方が発達してきた。図 IV. 2.3 には、MOS トランジスタの製作工程における断面図と平面図を示した。

エンハンスメント型 n チャンネル MOS トランジスタを用いて、インバータおよび NAND 回路を構成した例を、図 IV. 2.4 および図 IV. 2.5 に示す。消費電力および回路特性は CMOS 回路に比べて劣るが、1種類のトランジスタのみで短期間に作ることができるので、著者らはこの回路を用い、設計から作製・測定までを約1週間で行う学生・社会人のための実習を毎年実施してきた。2017年度からはCMOS回路の実習を行っている（お申込みは、本書末尾の Web から）。

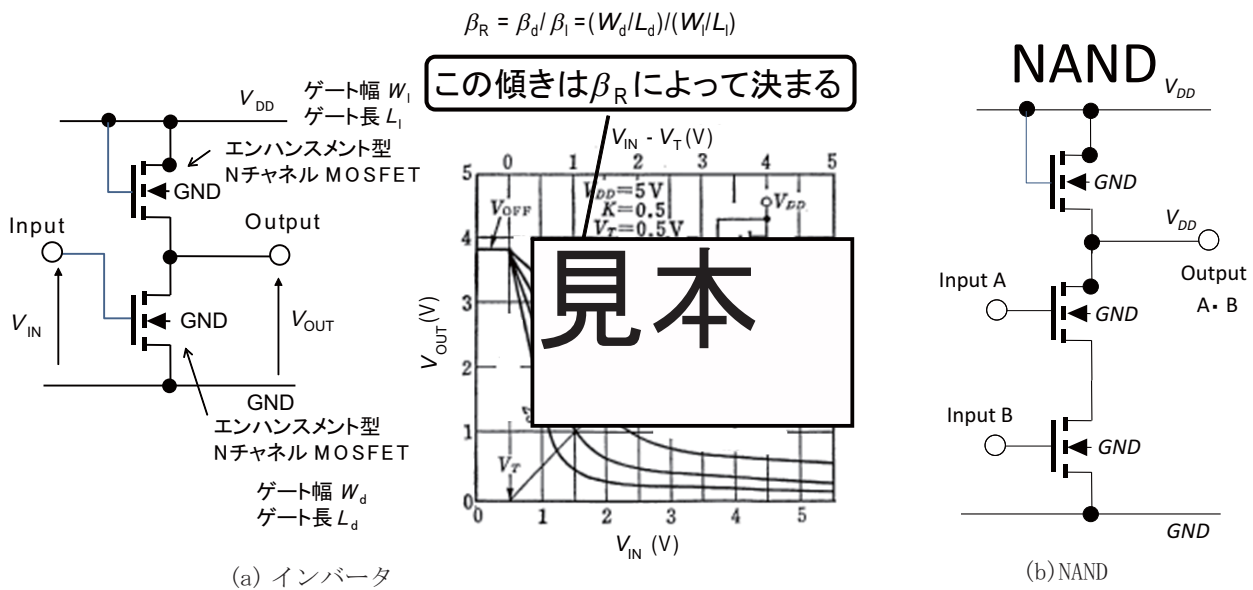


図 IV. 2.4 n チャンネル MOS トランジスタを用いた (a) インバータ及び (b) NAND 回路

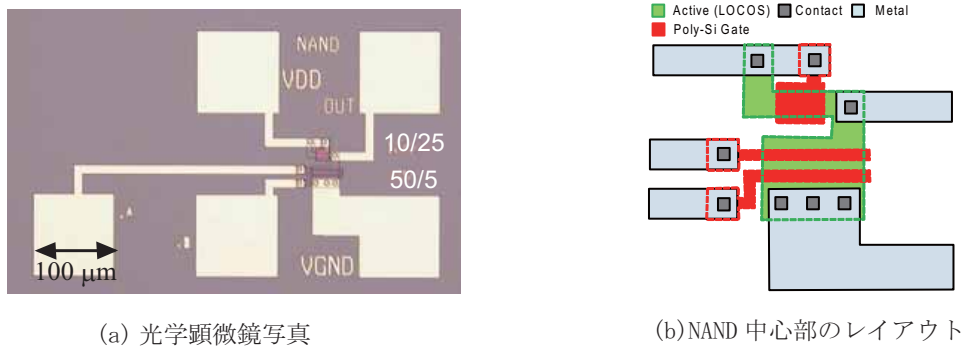


図 IV. 2.5 (a) 広島大学で試作した NAND 回路の光学顕微鏡写真。図中 10/25 はゲート幅 10 μ m、ゲート長 25 μ m のトランジスタであることを示す。(b) 中心部分のレイアウト図。

・ CMOS 作製工程

現在集積回路に広く用いられているのは、前項の n チャンネル MOS トランジスタのみを用いる回路ではなく、図 III. 3.9 で示した CMOS (C は Complementary : 相補的) インバータを基本とする CMOS 回路である。CMOS インバータは、p チャンネル MOS トランジスタと n チャンネル MOS トランジスタを直列接続した回路であり、定常状態では必ずどちらかが OFF 状態のため、低消費電力で、シンプルな平面構造のため (バイポーラトランジスタに比べ) 作り易く高集積化に向いている。設計上の注意点は、正孔の移動度が電子のその半分程度なので、バランスのとれた (0 \leftrightarrow 1 の速度が等しく、反転電圧が電

源電圧の1/2) インバータを作るためには、pチャネルMOSトランジスタのゲート幅をnチャネルMOSトランジスタのそれの約2倍にする必要がある。またそれぞれの閾値電圧の絶対値を等しくする必要がある。その製作工程の一例を図IV.2.6に示す。製作上の注意点は、同一基板上に2種類のトランジスタが集積されるため、一方のみのトランジスタを製作する場合と比べ、お互いに熱工程の影響を受け特性が変化することである。このことを考慮して、設計、製作する必要がある。例えばBはAsに比べ拡散係数が約1桁大きいので、微細デバイスを作製するためには、B導入後の熱工程の温度を低く抑え熱処理時間を出来るだけ短くする必要がある。

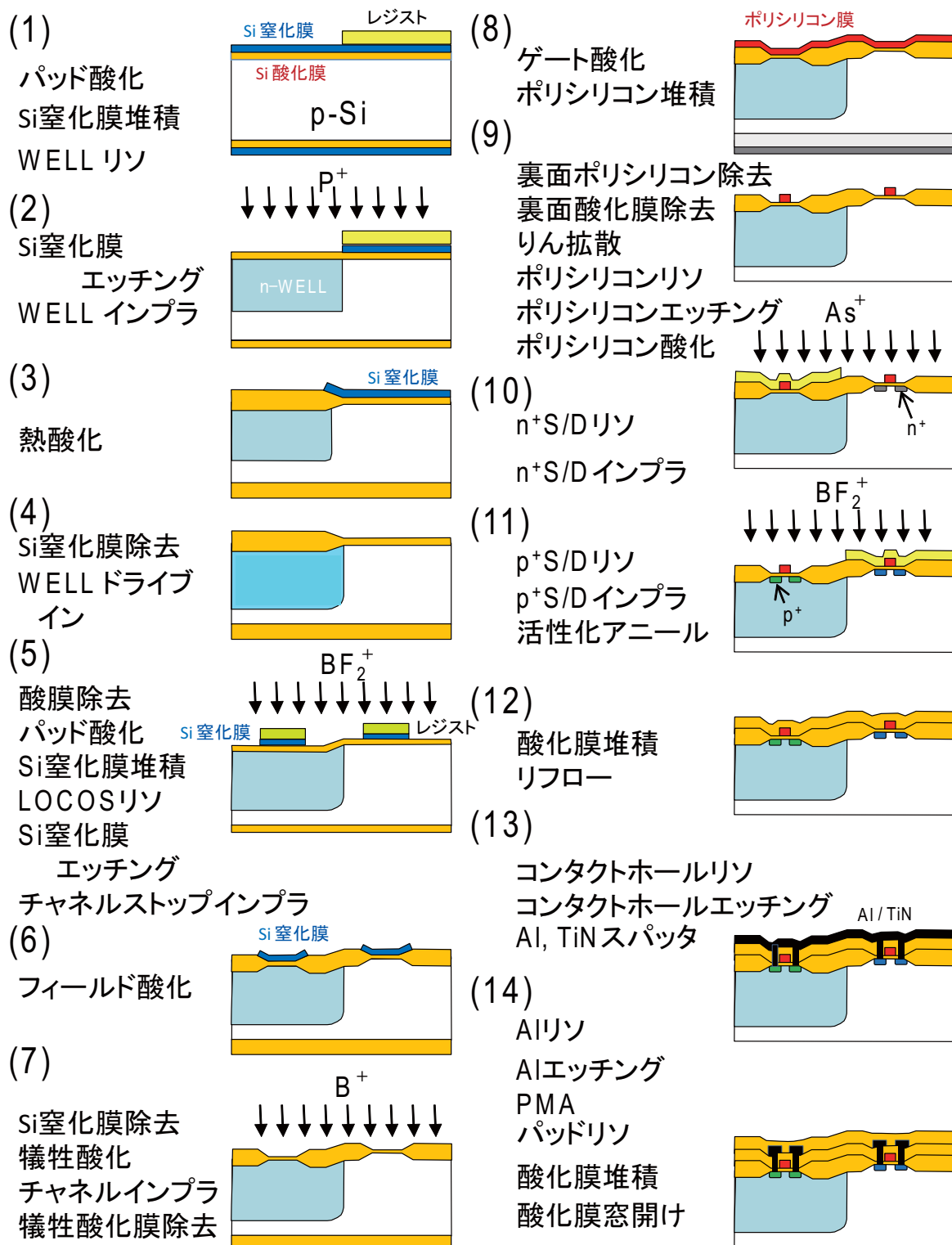


図 IV. 2. 6 CMOS の作製工程の例

ウェハプロセスは、大きく次の4つの工程に分けられる。

- (1) リソグラフィ
- (2) エッチング
- (3) 薄膜形成
- (4) 不純物ドーブ

それぞれについて簡単に説明する。

(1) リソグラフィ: 写真技術と基本的に同じで、塗布された感光樹脂(レジストと呼ぶ)に、回路パターンを光や電子ビームを用いて描く。現像後、光(または電子)が照射された部分のレジストが残るネガティブ(ネガ)型とその逆のポジティブ(ポジ)型の2種類がある。

(2) エッチング: リソグラフィによって加工された、レジストで被われていない部分の下地薄膜を除去する。

(3) 薄膜形成: 絶縁膜となるSi酸化膜、ゲート電極となる多結晶Si、配線用のアルミニウムや銅薄膜等を形成する。Siの熱酸化、反応性ガスの熱分解反応、イオンをターゲット材料に衝突させて、原子を叩き出すことにより成膜するスパッタ法などがある。

(4) 不純物ドーブ: III族又はV族の不純物原子をSi中に導入(ドーブと呼ぶ)し、p形又はn形領域を形成する。不純物原子をイオン化し数十keVに加速して打ち込むイオン注入法と、基板を加熱して不純物を熱拡散させる方法が一般的である。

次節以降でこれらについて詳述するが、その前に図IV.2.3に示した集積回路作製技術の中で根幹を成す、「プレーナ技術」および「自己整合: Self Align 技術」について説明する。

・プレーナ技術 (Planar Technology)

プレーナ技術とは、図IV.2.3に示すようにSi酸化膜を不純物拡散マスクや、絶縁分離膜として利用し、二次元的な平面(Plane)構造によって集積回路を作製する技術で、現在の集積回路技術の基本プロセスとなっている。アメリカ・フェアチャイルド社のRobert Noyce等によって1959年に発明された。図I.2.2に示したKilbyの集積回路では、金属ワイヤが空中に掛かっている、大量生産には適さない。Noyce等の発明したプレーナ技術は大量生産に適している。

・自己整合技術 (セルフアライン: Self Align 技術)

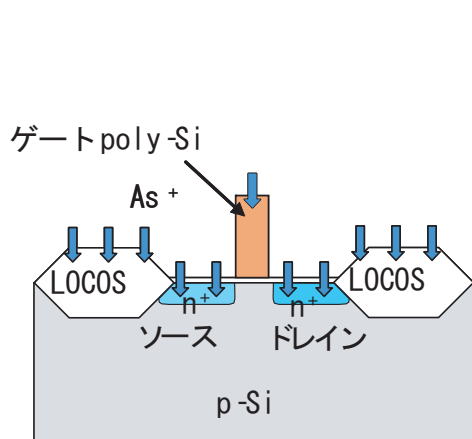
自己整合技術とは、リソグラフィを用いずに自動的に集積回路パターンの位置合わせを行う技術である。図IV.2.3では、ゲートとソース/ドレインの位置合わせに自己整合技術が使われている。多結晶Siゲートおよび厚い素子分離酸化膜(LOCOS酸化膜: IV.5-2参照)が形成された後、イオン(ここではAs⁺)注入を行う。イオンは、加速エネルギーと材料の組み合わせで決まる一定の深さ以上には侵入できないので、自動的にゲートとソース/ドレインの位置合わせが行える(図IV.2.7)。イオン注入された部分はアモルファスになっている。ソース/ドレイン部分を低抵抗にするために、数百℃以上の熱処理によって再結晶化と不純物活性化を行う必要がある。このため、耐熱性のゲート電極材料が必要である。耐熱性のある多結晶Siゲート電極技術の登場によって自己整合が可能になり、現在のトランジスタの超微細化に貢献している。

多結晶Siゲート電極技術が登場する前は、融点660℃と耐熱性の低いAlがゲート電極として使われていた。Alゲート、ソース/ドレイン作製プロセスを図IV.2.8に示す。

- ・Alは熱処理に耐えられないので、最初にソース/ドレインを形成する。
- ・まずリソグラフィによりレジスト(感光樹脂)によってゲート部分を覆い、イオン注入する。
- ・その後レジスト除去、活性化アニールを行って低抵抗ソース/ドレインを形成する。
- ・次にAlを全面に堆積後、リソグラフィとエッチングによってAlゲートを形成する。

このプロセスでは、ゲートとソース/ドレインの位置合わせ精度は、リソグラフィにおけるマスク合わせ精度によって決まる。マスク合わせ精度は、ウェハステージの機械的制御技術・位置検出技術によって決まり、微細化と共に高度な装置が必要になる。また、ばらつきも避けられない。

これに対して、図 IV.2.6 に示す自己整合プロセスでは、ゲートとソース/ドレインの位置合わせが自動的に行われるため、特性ばらつきの少ないトランジスタを一度に大量に作製できる。



イオン注入では、打込エネルギーと物質の組み合わせによって決まる、一定値以上深くにはイオンが到達できない。このことを利用すると、ゲートとソース/ドレインの位置合わせを自己整合的に行うことが可能となる。

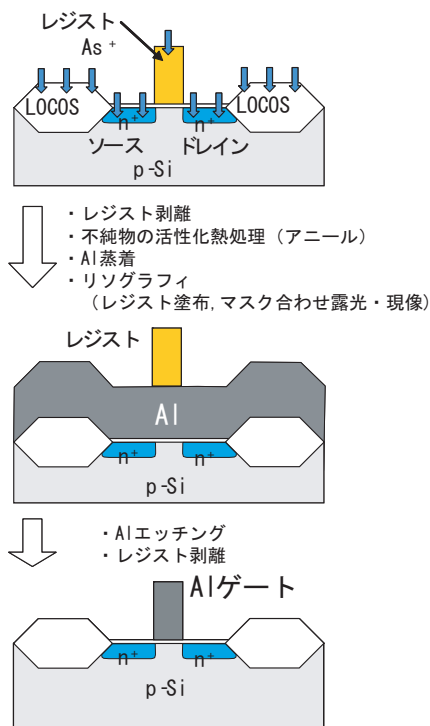


図 IV.2.7 ゲートとソース/ドレインの自己整合技術

図 IV.2.8 Al ゲートプロセス

IV・3 リソグラフィ

リソグラフィ技術は微細化を牽引してきた中核技術である。ここでは、現在主力のフォトリソグラフィと、マスク製作および研究用に用いられる電子ビームリソグラフィについて述べる。

IV-3-1 フォトリソグラフィ

図 IV.3.1 に一般に用いられる縮小投影型光 (フォト) リソグラフィの原理を示す。熱膨張係数

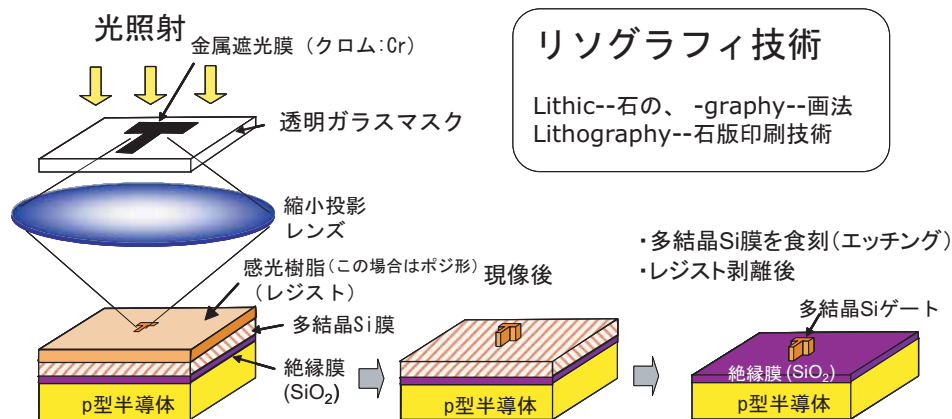
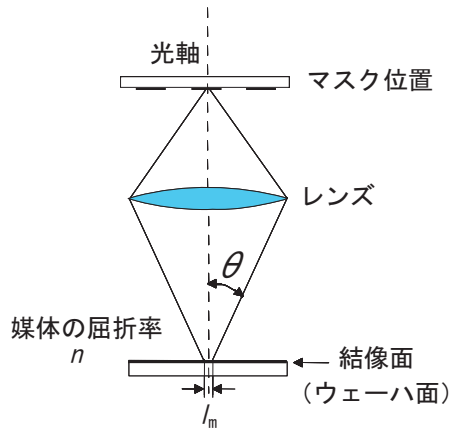


図 IV.3.1 縮小投影型リソグラフィ



参考
レンズのFナンバー
 $F = \text{焦点距離} / \text{レンズの有効径}$
 $F = 1 / NA$ の関係

レーリーの式

解像度： l_m
(投影可能な最小パターンサイズ)
 $l_m \sim k \lambda / NA$
($NA = n \sin \theta$: 開口数)
($NA \doteq n \cdot \frac{\text{レンズの有効半径}}{\text{焦点距離}}$)

(IV・3・1)

解像度を上げる方法

1. 波長 λ を短くする
2. 開口数 NA を大きくする
 - ・ n を大きくする液浸法
 - ・ θ を大きくする
 - ・ レンズ口径を大きくする
 - ・ 焦点距離を短くする
3. 装置を工夫して k を小さくする

図 IV. 3. 2 フォトリソグラフィの解像度

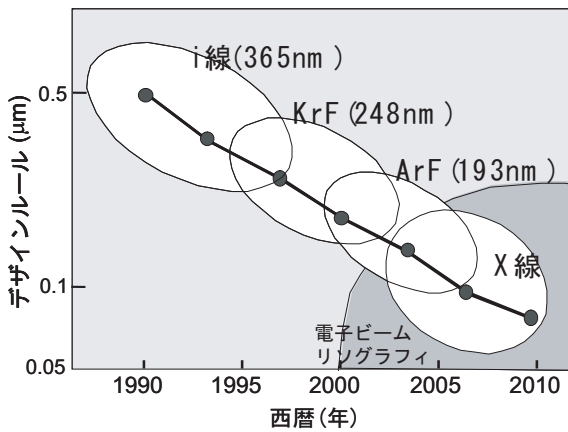
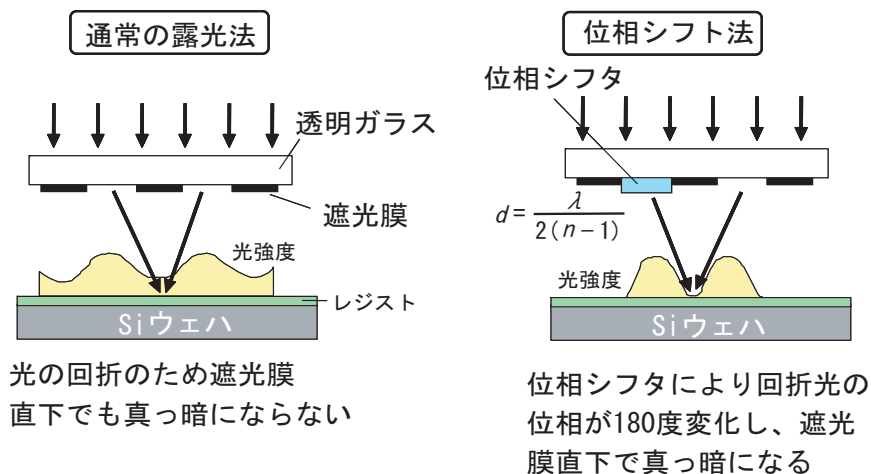


図 IV. 3. 3 フォトリソグラフィのにおける短波長化

の小さな特殊ガラス基板上にクロム金属薄膜によって回路パターンを、電子ビームリソグラフィを用いて形成する（フォトマスクまたはレチクルと呼ぶ）。レンズによって、レジストを塗布したウェハ上に回路パターンを縮小投影（通常 5:1）する。ウェハ上での像の解像度 (l_m : 描ける最小のパターンサイズ) は、光の回折理論より、図 IV. 3. 2 中に示したレイリーの式 (IV・3・1) によって与えられる。ここで k はレジストの感光特性や露光方式等によって決まる係数である。この式から、解像度を上げるには波長を短く、レンズの開口数 NA を大きく、 k を小さくすればよいことが分かる。解像度を向上させるための主要な方法は光源の波長を短くすることであり、これまでその努力が続けられてきた (図 IV. 3. 3)。



図 IV. 3. 4 フォトリソグラフィ装置：ステッパの写真（広島大学ナノデバイス・バイオ融合科学研究所提供）と内部構造



原理的に半波長までの解像度が可能

図 IV. 3. 5 半波長まで解像度を上げられる位相シフト法の原理

i 線とは水銀ランプの輝線のうち波長 365nm の紫外線を指す。図 IV. 3. 4 に i 線ステッパと呼ばれるフォトリソグラフィ装置の写真と内部構造を示す。ステッパという名前は、ウェハステージを Step and Repeat して動かすことによって、チップごとに光露光を行うことに由来している。レンズは、各種の収差（球面収差、コマ収差、非点収差など）を取り除くため、多数枚組み合わせられて用いられている。ステージは、レーザ干渉計を用いて精密に位置制御できるようになっている。短波長化以外の解像度向上方法に、「位相シフト法」がある。その原理を図 IV. 3. 5 に示す。通常露光法では、遮光膜の直下であっても左右の開口部からの迷光（回折光）のため、光強度はゼロにはならず、図のようにパターンはぼけてしまう。これに対して、位相シフト法では、左右からの回折光が遮光膜直下で互いに打ち消しあうように位相差を付ける。このために、図に示すような屈折率 n で厚さ d の「位相シフタ」を設けている。 $d = \lambda / 2(n-1)$ の条件を満たすように、 n と d を決めると、空気媒質を通ってきた光との位相差が 180 度となり、回折光が打ち消される。位相シフト法を用いると半波長の解像度が達成できる。図 IV. 3. 6 は位相シフト法の効果を示す。同じ開口数のところで比べて、位相シフト法の採用によって、

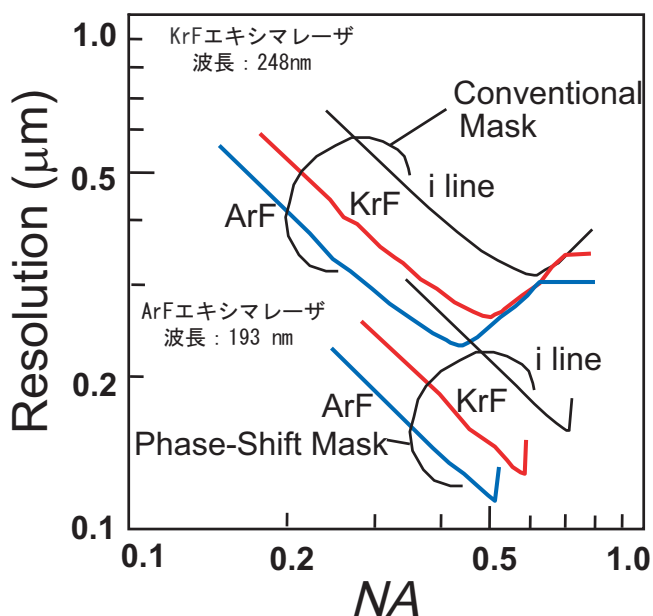


図 IV. 3. 6 位相シフト法の効果

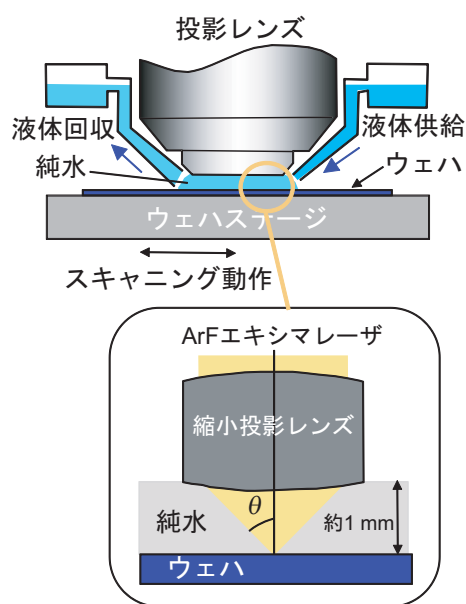


図 IV. 3. 7 解像度を上げるために液体を用いた液浸露光法

解像度が約2倍向上していることが分かる。

さらに、もう一つの解像度向上方法に、開口数を大きくする方法がある。開口数 NA を大きくするために、レンズとウェハの間に屈折率の大きな純水（屈折率 1.44）を満たす方法で、「液浸露光法」と呼ばれる（図 IV. 3. 7）。ArF エキシマレーザ（波長 193nm）を光源とし、位相シフト法と液浸露光法を併用することにより、解像度 65nm 以下が得られている。さらに解像度を上げるために、極端紫外光源（波長 13-14nm）の開発が行われている。

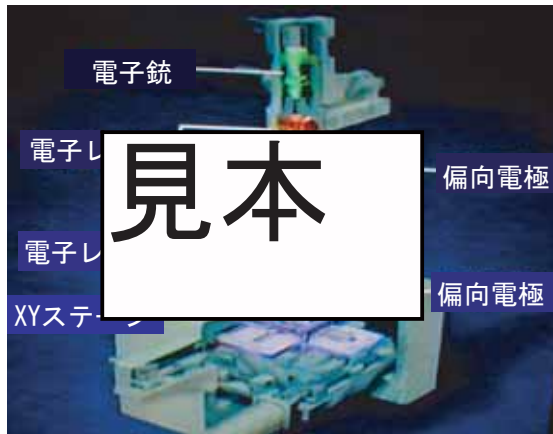


図 IV. 3. 8 電子ビーム露光装置の構造



図 IV. 3. 9 電子ビーム露光装置の写真（広島大学ナノデバイス・バイオ融合科学研究所提供）
解像度は 6nm

IV・3-2 電子ビームリソグラフィ

電子の波長は、相対論的効果を考慮すると次式で与えられる。

$$\lambda = \frac{h}{\sqrt{2qm(V + qV^2 / (2mc^2))}} \quad (\text{IV} \cdot 3 \cdot 2)$$

ここで、 λ は波長、 V は加速電圧、 c は光速、他の記号は前出である。加速電圧を 100kV とすると波長は 0.037 オングストローム (\AA : 1\AA は 10^{-10}m) と極めて短く、微細なパターン描画に適している。しかし、一筆書きのため描画速度が遅いという問題がある。そのため現状では、主にフォトマスク製作に用いられている。電子ビームリソグラフィ装置の構造を図 IV. 3. 8 に、装置写真を図 IV. 3. 9 に示す。電子は磁場を用いたレンズによって収束された後、偏向電極により走査されウェハ上に照射される。ウェハステージは、真空装置内に設置される点を除けばステッパと同様な構造である。電子ビームリソグラフィの問題点は、電子が基板原子によって後方に散乱されて解像度が劣化する「後方散乱現象、とそれによる近接効果」である。図 IV. 3. 10 は電子の後方散乱による解像度劣化の様子を示す。レジストの感光しきい値が、後方散乱電子の強度よりも小さい場合にこの効果が顕著になる。また、パターンが近接していると、後方散乱電子の裾が重なり、パターンが繋がってしまう（図 IV. 3. 11）。この現象を近接効果と呼ぶ。近接効果を抑制するために、近接部分の電子ドーズ量を減少させる必要がある。コンピュータによって自動的にドーズ量を減少させ近接効果補正を行うソフトウェアが開発されている。

ウェハ上のレジストに直接電子ビームリソグラフィによって描画するためには、ビーム強度・走査速度の増大、多電子源化等によって描画速度を向上させる必要がある。最近、図 IV. 3. 12 に示すように、電子を光のように幅の広い平行ビームにし、マスクを使ってパターンを一括転写する方式の電子ビーム露光装置が開発され注目を集めている。この方式は LEEPL と呼ばれている。

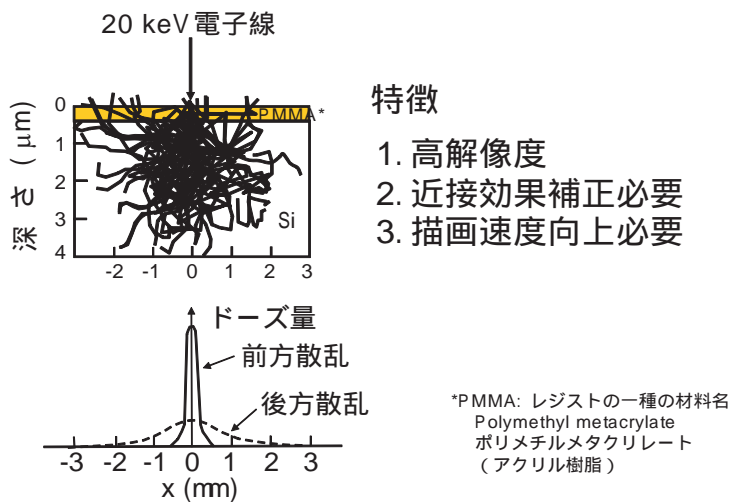


図 IV. 3. 10 電子ビーム露光における後方散乱

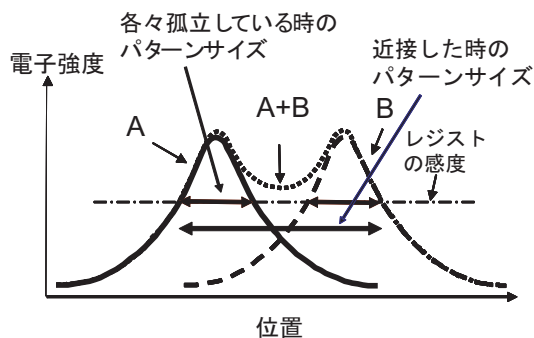
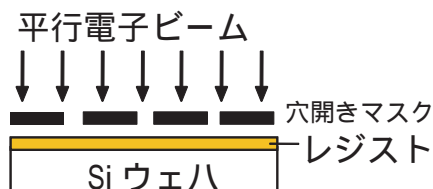
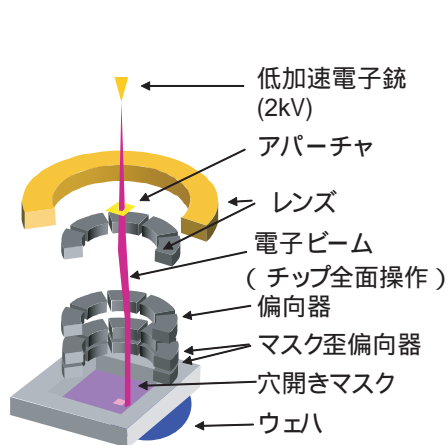


図 IV. 3. 11 近接効果の説明



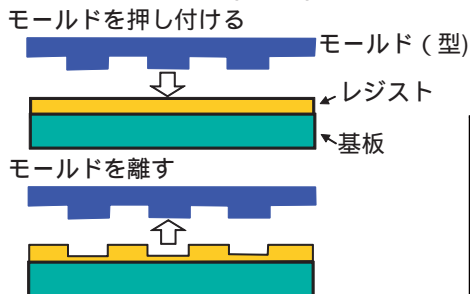
特徴

1. 近接効果が少ない
2. クーロン散乱少なく
高速・高精度
3. マスクが安価

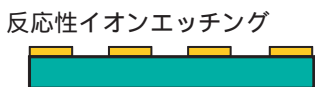
LEEPL (Low Energy E-beam Proximity Projection Lithography)

図 IV. 3. 12 新方式の電子ビーム露光装置 LEEPL

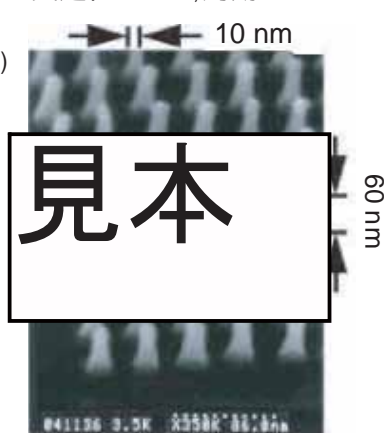
1. インプリント (押印)



2. パターン転写



突起径10 nm, 周期60 nm



石英モールドの例

図 IV. 3. 13 ナノインプリントリソグラフィ

IV-3-3 ナノインプリントリソグラフィ

最近新しく登場したリソグラフィにナノインプリントリソグラフィがある。図 IV. 3. 13 に示すように、微細な型をレジストに押し付ける方法で、安価に超微細なパターンを形成できる。10nm という電子ビームリソグラフィでも容易には達成できない超微細パターンの形成が報告されている。また、レンズの形成に実用されている。

IV-3-4 レジスト

レジスト（感光樹脂）の感度や形状は、微細なデバイスを効率よく製造するために重要である。図 IV. 3. 14 にポジ型およびネガ型のレジストの特性例を示す。ポジ型は、光や電子線の照射された部分が現像後消失するタイプ、ネガ型は逆に照射された部分が現像後残存するタイプである。一般に、ポジ型はネガ型に比べ感度は悪いが解像度は良い。しかし最近ではネガ型でも解像度の優れたものが登場している。図 IV. 3. 15 にレジストにおける光化学反応を模式的に示した。ポジレジストでは高分子鎖の一部が光や電子線照射によって切断され、現像液に溶けやすく変質する。一方ネガ型では、照射によって架橋反応が起き、現像液に溶けにくくなる。図 IV. 3. 16 にポジレジストの分子構造と、その光化学反応の例を示す。特殊な構造の有機分子に光を照射すると分子構造が変化し、さらに水分子と反応することにより、アルカリ溶液に溶けるように変化する。

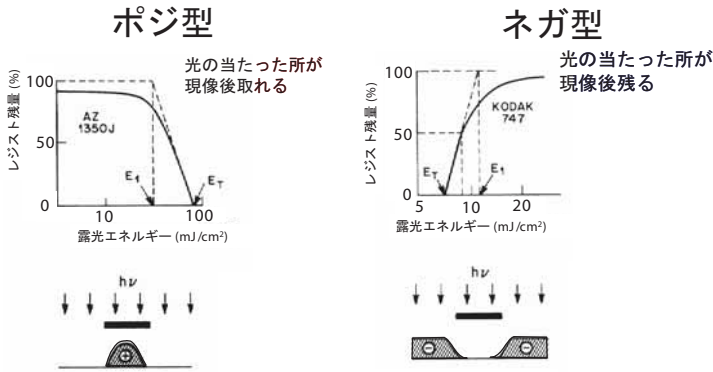


図 IV. 3. 14 ポジ型とネガ型レジスト

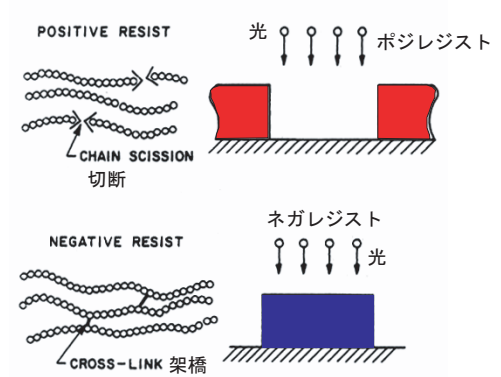


図 IV. 3. 15 レジストにおける光化学反応

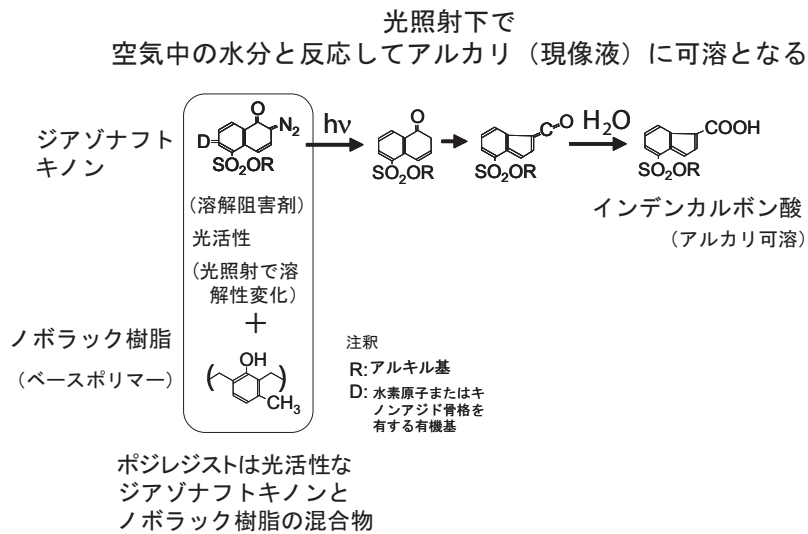


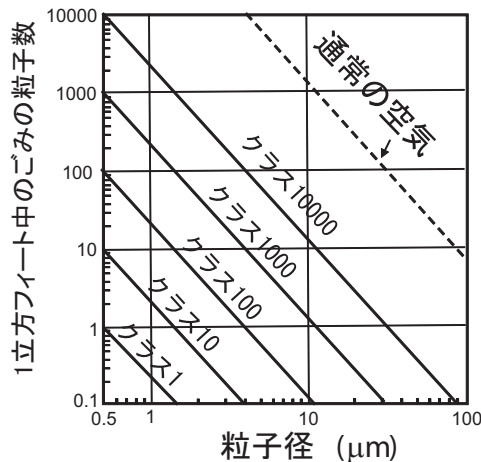
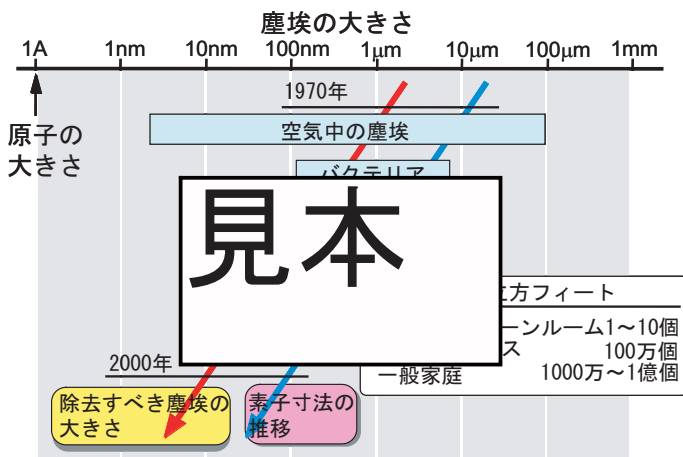
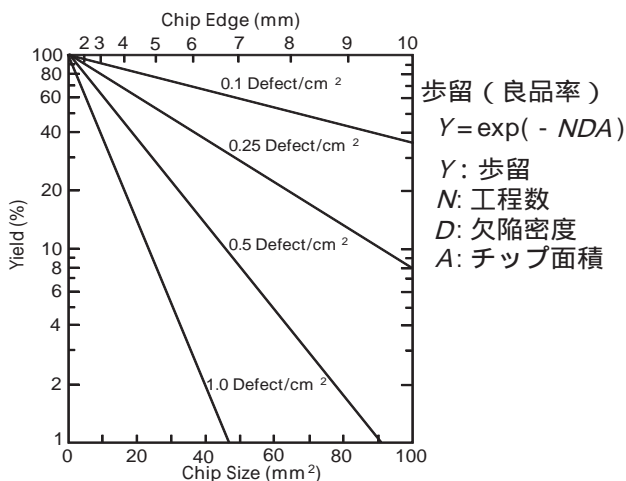
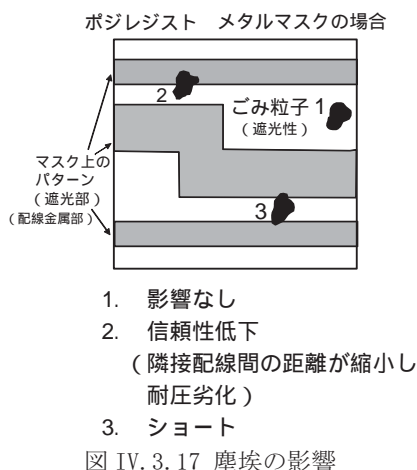
図 IV. 3. 16 ポジレジストの分子構造およびその光化学反応の例

IV-3-5 クリーンルームの必要性

LSI 製造プロセスでは、どの段階でも清浄度が必要であるが、特にリソグラフィ工程ではその影響が大きい。図 IV. 3. 17 に示すように塵埃がフォトマスク上またはレジストパターン上に存在した場合、パターン不良を引き起こし、LSI が動作しなくなる。LSI チップの良品率（歩留： yield と呼ぶ）は図 IV. 3. 18 に示したように、塵埃（欠陥）密度 D 、チップ面積 A 、工程数 N に対して次のように指数関数で変化する（付録 I-3 参照）。

$$Y = \exp(-NDA) \tag{IV-3-3}$$

従って、歩留を向上させるためにクリーンルームが不可欠である。図 IV. 3. 19 に素子寸法と除去すべき塵埃の大きさとの関係を示す。素子寸法の約 1/10 の大きさの塵埃を除去する必要がある。図 IV. 3. 20 にクリーンルームの等級をあらわすクラスと塵埃粒子径、塵埃密度の関係を示す。0.5 μm 以上の粒径の塵埃の密度が、例えば 10 個 / cm^3 以下のクリーンルームをクラス 10 と呼ぶ。最先端の LSI 工場では、クラス 1 のものが使われている。図 IV. 3. 21 に最新のクリーンルームの構造を示す。人間からの発塵を防ぐため、AGV と呼ばれるロボットがウェハを搬送する。また、クリーンルーム全体の清浄度を高めるとコストが上昇するので、ウェハを密閉ボックス（FOUP と呼ばれる）に入れ、クリーンルームの清浄度をあまり上げない、局所クリーン化技術が採用されるようになってきた。図 IV. 3. 22 にリソグラフィ作業をクリーンルーム内で行っている様子を示す。人体からの発塵を抑制するために、全身をすっぽりと覆う防塵服を着用する。



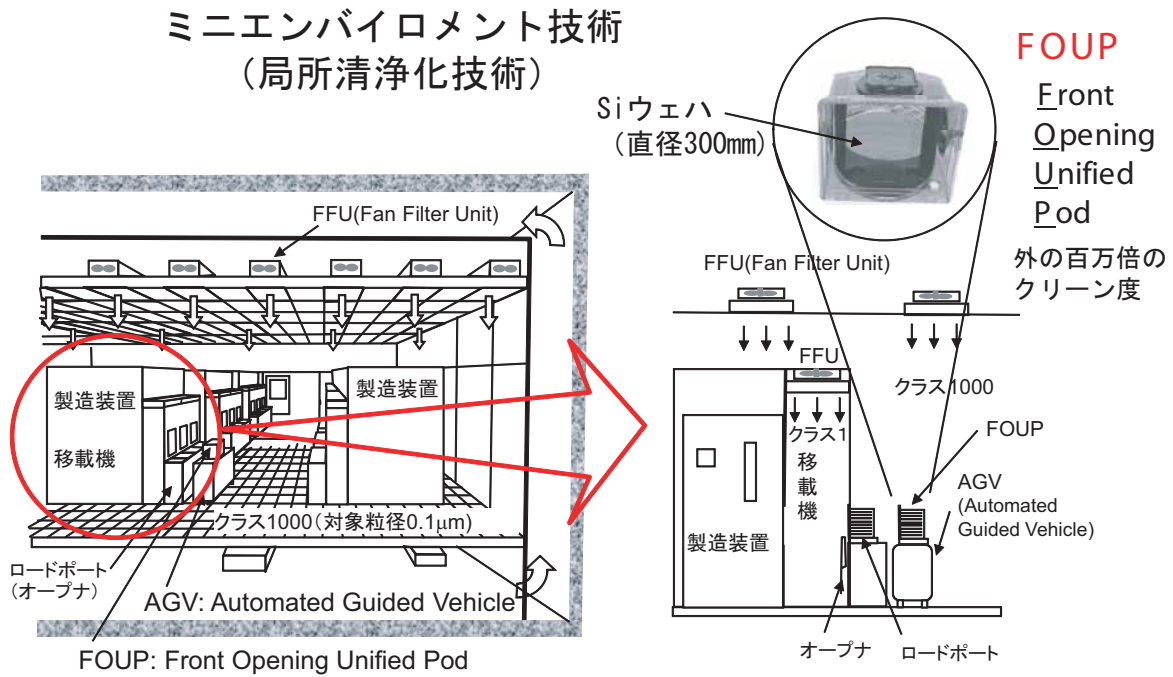


図 IV. 3. 21 最新のクリーンルームの構造



図 IV. 3. 22 クリーンルーム内作業の様子

IV・4 エッチング

リソグラフィによって加工されたレジストの形状に忠実に、下地の薄膜を削って除去する（エッチング）技術は、リソグラフィとともに半導体プロセスにとって重要な技術である。また、特定の材料だけをエッチングする「材料選択性」も重要である。図 IV. 2. 3 に示した MOS トランジスタ形成プロセスにおいて、コンタクト孔を形成する場合、Si 酸化膜の下にある n 型のソースまたはドレインをエッチングしてはならない。メタルとソースまたはドレインとのコンタクト抵抗が大きくなってしまからである。最悪の場合、コンタクト孔が p 基板まで突き抜けるとトランジスタが動作不良を起こす。エッチングには図 IV. 4. 1 に示すように化学溶液を用いるウェットエッチングとプラズマを用いるドライエッチングがある。ウェットエッチングでは、どの方向にもエッチング速度が等しい「等方性エッチング」が起こるため、レジストパターン通りの形状が得られない。反面、化学溶液を選ぶことにより、優れた材料選択性が得られる。一方、プラズマを用いるドライエッチングでは、プラズマ中のイオンが高速で基板に衝突するため、垂直に近い断面形状が得られる反面、材料選択性は劣化する。

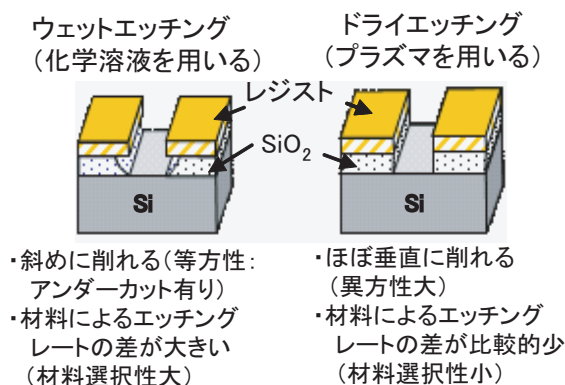


図 IV. 4.1 ウェットおよびドライエッチング

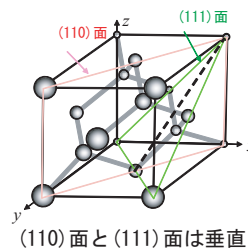
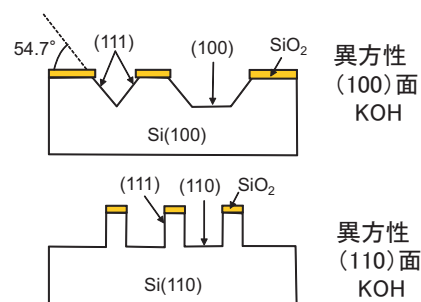
IV-4-1 ウェットエッチング

各種材料をウェットエッチングする時の、エッチング液の例を表 IV.2 に示す。ウェットエッチングでは、一般に図 IV. 4.1 の左図に示したように等方性エッチングが起こる。しかし、図 IV. 4.2 に示すように、結晶基板を特殊な溶液（例えば Si を KOH で）でエッチングすると、面方位によってエッチング速度が異なるため、斜め、または垂直な断面形状が得られる場合もある。これを利用して特殊なデバイス構造を作製できる。

表 IV.2 ウェットエッチング液の例

半導体のエッチング液の例

材料	エッチング液	目的	成分	エッチング速度
Si	CP-4A	研磨および鏡面仕上	3 ml HF 5 ml HNO ₃ 3 ml CH ₃ COOH	34.8 μm/min
	水酸化カリウム	異方性エッチング グループエッチング	23.4 wt%KOH 13.3 wt%プロピルアルコール 63.3 wt%H ₂ O	(100)面で0.6 μm/min (111)面で6x10 ⁻³ μm/min
GaAs	H ₂ SO ₄ -H ₂ O ₂ -H ₂ O	鏡面仕上げ	8 ml H ₂ SO ₄ 1 ml H ₂ O ₂ 1 ml H ₂ O	(111)Ga面で0.8 μm/min 他の面で1.5 μm/min



(110)面と(111)面は垂直

図 IV. 4.2 特殊なウェットエッチング（結晶の面方位依存性）を利用した異方性エッチングの例

絶縁物および金属のエッチング液の例

材料	エッチング液	目的	成分	エッチング速度
SiO ₂	バッファーHF	等方性エッチング	28 ml HF 170 ml H ₂ O 113 g NH ₄ F	100 nm/min
	P-エッチ	等方性エッチング	15 ml HF 10 ml HNO ₃ 300 ml H ₂ O	12 nm/min
Si ₃ N ₄	バッファーHF	等方性エッチング	28 ml HF 170 ml H ₂ O 113 g NH ₄ F	0.5 nm/min
	磷酸	等方性エッチング	H ₃ PO ₄ 、ホット磷酸(175°C)	10 nm/min
Al	磷酸混合液	等方性エッチング	1 ml HNO ₃ 4 ml CH ₃ COOH 4 ml H ₃ PO ₄ 1 ml H ₂ O	35 nm/min
Au	ヨウ化カリ混合液	等方性エッチング	4 g KI 1 g I ₂ 40 ml H ₂ O	1 μm/min

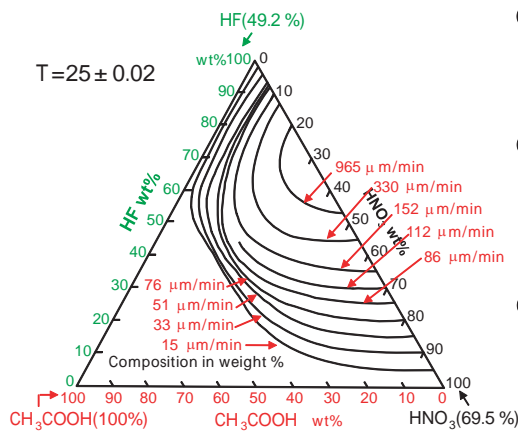
・Siのウェットエッチング

代表的な半導体であるSiのウェットエッチングについて述べる。図IV.4.3は、よく用いられる、硝酸・フッ酸・酢酸混合液に対するSiのエッチング速度の混合比依存性を等高線で示す。硝酸はSiを酸化し、フッ酸はその酸化膜をエッチングする。酢酸は希釈液としてエッチング速度を調節する。この反応によって褐色で有害なNO₂ガスが発生する。エッチング速度ははかなり速く、よく攪拌しないとむらができる。図IV.4.4は、エッチング後の表面状態および形状の混合比依存性を示す。酸化反応律速（硝酸が少ない時）では粗面になる。HFによる酸化膜の溶解反応律速（HFが少ない時）では平滑面（鏡面）が得られやすい。用いる溶液によって、高濃度n型Siのみを、または高濃度p型Si以外を選択的にエッチングする溶液があり、MEMS(Micro Electro Mechanical Systems: 微小電子機械システム) 作製には重要な技術である。詳細は、「原徹編集、超LSIプロセスデータハンドブック、サイエンスフォーラム、1982、7章エッチング技術、堀池靖浩著」を参照のこと。

Siのウェットエッチング

フッ酸、硝酸、酢酸の混合液

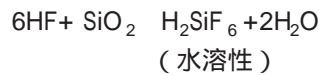
エッチング速度の混合比依存性



●硝酸：Siの酸化



●フッ酸：SiO₂を溶かす



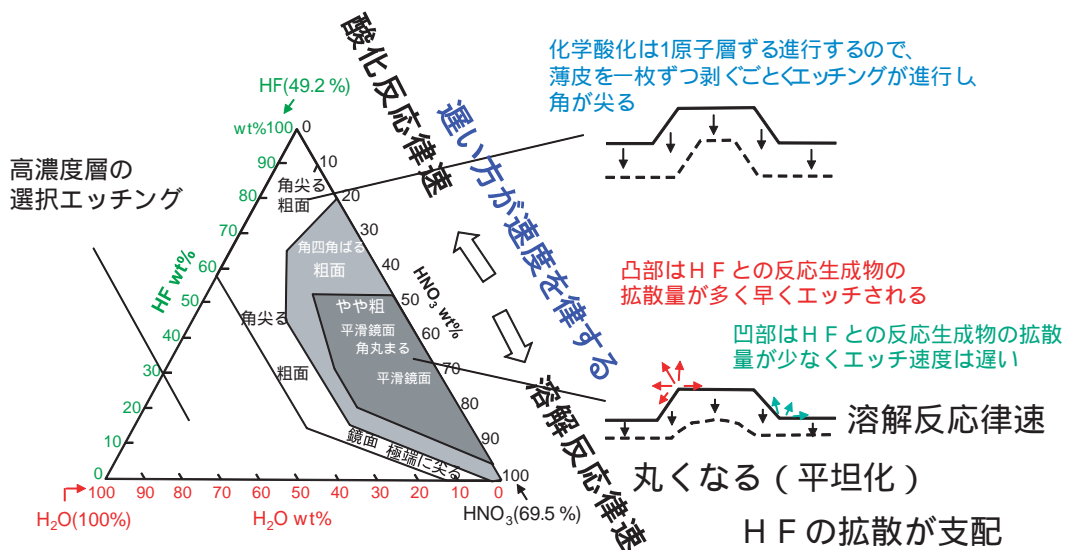
●酢酸：エッチング速度の調節

(水より安定なエッチング可：硝酸の分解を抑制)

B. Schwartz and H. Robbins, J. Electrochem. Soc. Vol. 123 (1976)1903.

図 IV. 4. 3 硝酸・フッ酸・酢酸混合液に対する Si のエッチング速度の混合比依存性

Siのウェットエッチング形状の混合比依存性

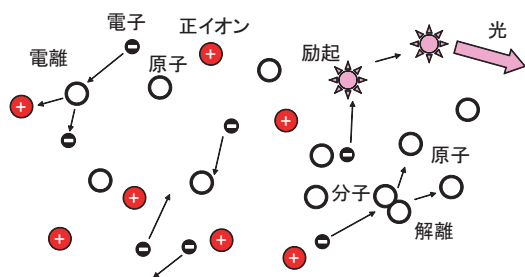


B. Schwartz and H. Robbins, J. Electrochem. Soc. Vol. 123 (1976)1903.

図 IV. 4. 4 硝酸・フッ酸・酢酸混合液に対する Si のエッチング形状の混合比依存性

IV-4-2 ドライエッチング

ドライエッチングでは、通常プラズマ (plasma) を用いる。プラズマとは、「自由に運動する、正、負の荷電粒子が共存し、電氣的に中性になっている物質の状態」のことである (図 IV. 4. 5)。プラズマを用いるエッチングには、(1) 反応性イオンエッチング (Reactive Ion Etching: RIE) と呼ばれる、イオンによる物理的スパッタ (直訳は、はじき飛ばし) とイオンアシスト化学反応の両方を用いるものと、(2) 物理的スパッタのみを用いるものがある (図 IV. 4. 6)。反応ガスの例を表 IV. 3 に示す。ゲート多結晶 Si をエッチングする場合には CF_4 と O_2 の混合ガスが用いられる。 O_2 を添加することによって、多結晶 Si のエッチング速度が 2 倍以上に増大する (図 IV. 4. 7)。そのメカニズムは、 CF_4 の分解生成物である C が酸素と反応して速やかに除去されるため、活性種 (ラジカルと呼ぶ) の濃度が高まることと、試料表面に吸着した C が酸素によって除去されるためとされている。シリコン酸化膜をエッチングする場合には CF_4 と H_2 の混合ガスが用いられる。 H_2 を添加することによって、シリコン酸化膜とシリコンのエッチング選択性が増大する (図 IV. 4. 8)。その理由は、水素添加によって Si 表面では、C, F, H からなるポリマー (重合物) が堆積しエッチングを阻止するが、 SiO_2 表面では酸素が反応に寄与しポリマーが堆積しないためとされている。反応性イオンエッチングにおいて垂直に近い



自由に運動する、正、負の荷電粒子が共存し、電氣的に中性になっている物質の状態

図 IV. 4. 5 プラズマ状態

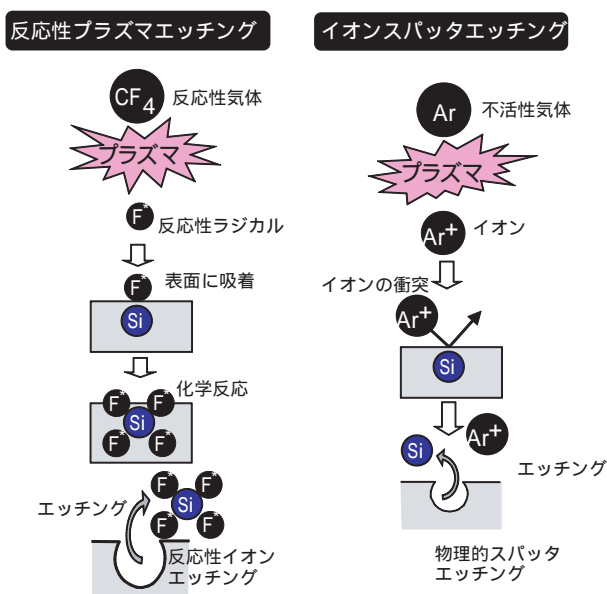


図 IV. 4. 6 反応性イオンエッチングとスパッタエッチング

表 IV. 3 プラズマエッチングに用いられる各種ガス

材料	ドライエッチングガスの種類
Si	CF_4 , C_2F_6 , C_3F_8 , CF_4+O_2 , CCl_2F_2 , CCl_4 , PCl_3 , CBrF_3
Poly-Si	CF_4 , CF_4+O_2 , CF_4+N_2
Si_3N_4	CF_4 , CF_4+O_2
Mo	CF_4 , CF_4+O_2
W	CF_4 , CF_4+O_2
Cr_2O_3	Cl_2+Ar , CCl_4+Ar
Al	CCl_4 , Cl_4+Ar , BCl_3
GaAs	CCl_2F_2 , CHClF_2

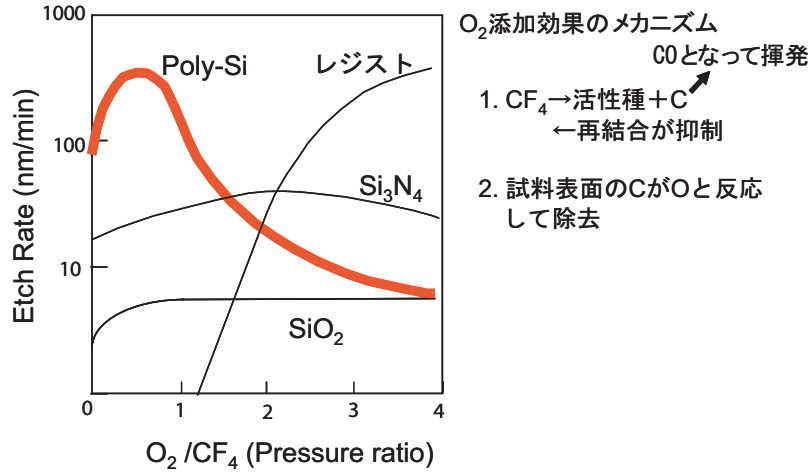


図 IV. 4. 7 Si の CF₄ エッチングにおける酸素添加効果

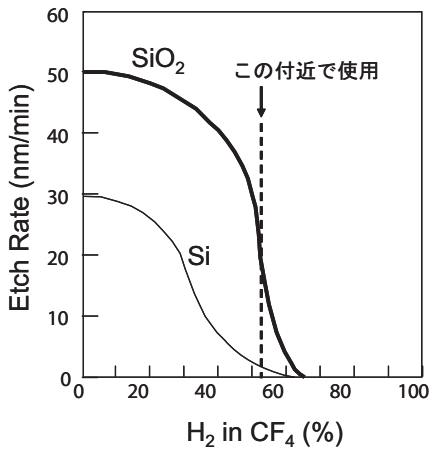


図 IV. 4. 8 SiO₂ の CF₄ エッチングにおける水素添加効果

選択比向上メカニズム

1. H₂添加によりSi表面に C_xH_yF_zポリマーが堆積
 これがエッチングを阻止
2. 一方、SiO₂表面では、Oがポリマー生成を阻止

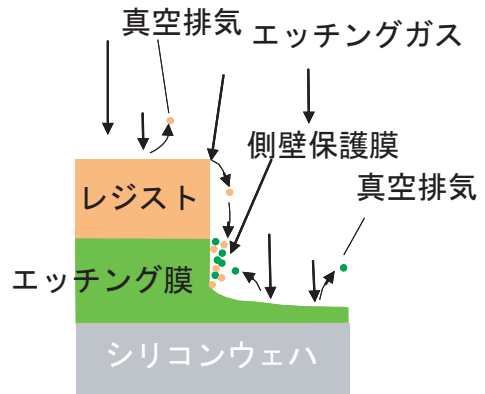


図 IV. 4. 9 ドライエッチングによる異方性エッチングの機構

断面形状が得られる原理を図 IV. 4. 9 に示す。レジストがエッチングされて生じた反応生成物が、エッチング側壁に堆積し、側壁保護膜としてレジスト下部へのエッチングの進行を抑制するため垂直に近い側壁が形成される。

IV. 4-3 セルフバイアス

半導体プロセスで良く用いられる反応性イオンエッチング装置の概略を図 IV. 4. 10 に、写真を図 IV. 4. 11 に示す。プラズマの整流性（電子移動度がイオン移動度より大きいことにより生じる）によりブロッキングコンデンサに自動的に蓄えられる直流電圧成分が基板バイアス電圧（セルフバイアスと呼ぶ）となりイオンが加速される。セルフバイアス電圧、放電圧力、電子温度などのパラメータにより、エッチング速度、材料選択性、側壁形状を制御する。ここで、セルフバイアスが発生する機構を考察する。図 IV. 4. 12 は2つの放電電極の面積が等しい場合のプラズマの電流－電圧特性である。電極に印加する電圧の極性を変えても、対称であるから整流性は現れない。一方、図 IV. 4. 13 のように、一方の電極面積を大きくすると非対称性が現れる。簡単のため、一方の電極面積 S_1 がもう一方の電極面積 S_2 より格段に小さい場合を考える（すなわち $S_1 \ll S_2$ ）。電流は小面積電極に流れる電流によって決まる。プラズマ中の電子の移動度はイオンに比べ大きいので、 S_1 に正電圧が印加されたときは、

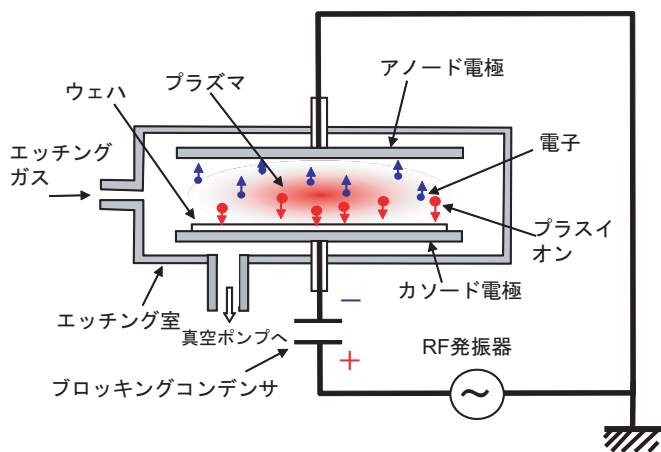


図 IV. 4. 10 反応性イオンエッチング装置の例



図 IV. 4. 11 ドライエッチング装置写真

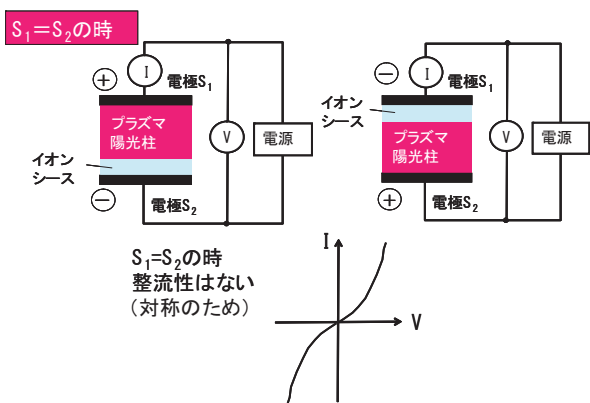


図 IV. 4. 12 プラズマの電流—電圧特性 ($S_1=S_2$)

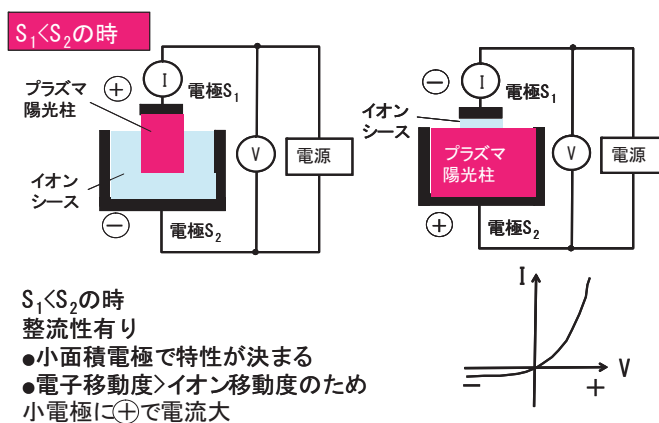


図 IV. 4. 13 プラズマの電流—電圧特性 ($S_1<S_2$)

放電直後

コンデンサに流れる電流一直流成分が発生し、バイアス点がシフトしていく

定常状態

最終的には、直流電流成分がゼロで安定する

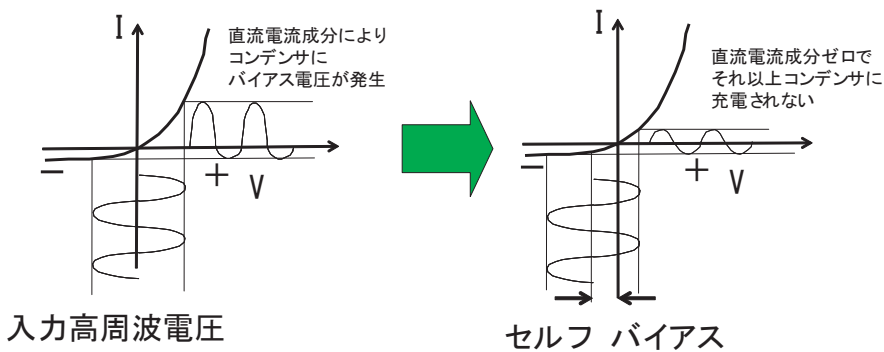


図 IV. 4. 14 セルフバイアス発生メカニズム

電子が S_1 電極に流れ込み大きな電流が流れるが、負電圧が印加された時は移動度の遅いイオンが流れ込むので電流は小さくなり、図に示すように整流性が生じる。図 IV. 4. 10 のように高周波電源に直列にブロッキングコンデンサが接続されていると、図 IV. 4. 14 に示すように、正、負両サイクルにおける電流が等しくなるまで、ブロッキングコンデンサに電荷が蓄えられ、セルフバイアス電圧が生じる。この方式は、イオンを加速するための直流電源が不要であるばかりでなく、絶縁膜上の材料にも同様の機構によってバイアス電圧が印加される。この点が、単純に直流電圧を試料電極に印加する場合と異なる。

IV-4-4 チャージアップダメージ

ドライエッチングでは、正、負の電荷を内包するプラズマを用いるため、チャージアップダメージの問題が起こる。そのうちの2つを紹介する。

(1) 図 IV. 4. 15 に示すように、プラズマが不均一で、プラズマ電位が場所によって異なっていると、ゲート絶縁膜の破壊に繋がる。Si 基板は低抵抗なので、場所によらず一定の電位である。従ってプラズマが不均一だと、離れた多結晶 Si 間に電位差が生じ、これがゲート酸化膜に分圧される。この値がゲート酸化膜の耐圧以上になると、ゲート酸化膜は絶縁破壊する。

(2) 図 IV. 4. 16 に示すようにトランジスタに接続されたアルミニウム電極をエッチングする場合を考える。ゲート酸化膜に電圧が印加されると、微量ではあるがリーク電流が流れ、その積分値がある一定の値を超えると、絶縁破壊されることが分かっている。エッチング中にアルミニウム電極に流れ込んだ電流は、電極面積とゲート面積の比（アンテナ比と呼ぶ）分だけ増幅された電流密度となってゲート酸化膜に流れ込む。従って、アンテナ比が大きいほど、酸化膜は破壊しやすくなる。これをアンテナ効果と呼ぶ。

微細デバイスになると、わずかに数ボルトで絶縁破壊に至るので、中性ビームを用いるドライエッチングの研究も行われている。

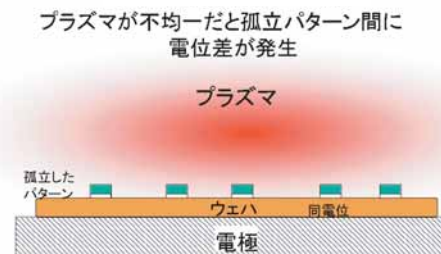


図 IV. 4. 15 プラズマ不均一性によるチャージアップダメージ

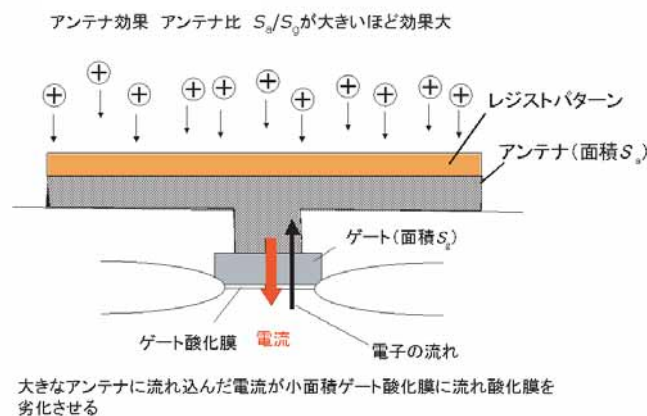


図 IV. 4. 16 アンテナ効果

IV-4-5 エッチングガスによる環境問題

表 IV. 3 に示すようにエッチングガスには、反応性を高めるためにフッ素及び塩素系のガスが用いられる。これらのガスは、地球温暖化、あるいはオゾン層破壊に繋がるので、回収等取り扱いには注意が必要である。図 IV. 4. 17 に地球温暖化の機構を示した。太陽から入射するエネルギーと、地球から放射される熱エネルギーがバランスして、地球の平均温度は一定に保たれている。地球温暖化係数 (GWP: Global Warming Efficiency) の大きいガスが対流圏で増えると、熱放射が減少し地球の平均温度が上昇する。このため、南極・北極の氷が融けることによる海面上昇、異常気象、生態系の異変などに繋がる。表 IV. 4 に各種ガスの地球温暖化係数を示す。エッチングに用いられるフロン系ガスの温暖化係数が大きいことが分かる。

次にオゾン層 (ozone layer) 破壊について考える。図 IV. 4. 18 に塩素によるオゾン層破壊のメカニズムを示す。オゾンガスは、生物に有害な 320nm 以下の波長の紫外線を吸収している。酸素に紫外線が照射されるとオゾンが生成され、オゾンは紫外線を吸収して酸素ガスにもどる。両者がバランスしてオゾン量が一定に保たれている。しかし、大気中に塩素が存在すると、塩素はオゾンをどんどん酸素に分解し、自分自身はもとの塩素原子に戻り触媒の働きをする。このため、バランスが崩れてオゾン量が減少し、有害な紫外線が地球に降り注ぎ、皮膚癌、遺伝子変異などを引き起こす。これらの影響は気流の関係で南極、北極で大きい (オゾンホール)。

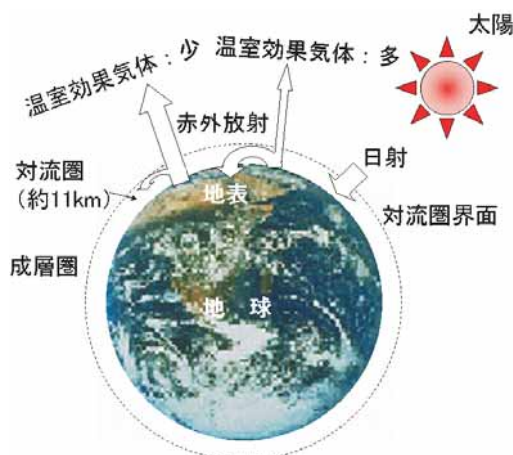


図 IV. 4. 17 温室効果

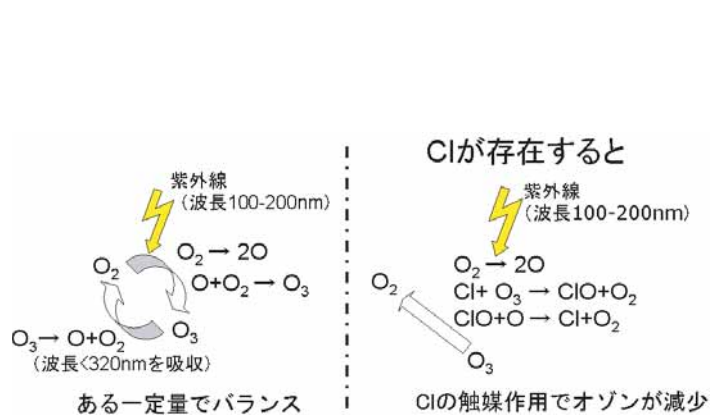


図 IV. 4. 18 塩素によるオゾン層破壊メカニズム

表 IV. 4 各種ガスの地球温暖化係数

二酸化炭素を基準に計算されたGWP値 GWP: Global Warming Potential

物質	化学式	大気中寿命 (年)	GWP		
			20年	100年	500年
メチルクロロフォルム	CH ₃ CCl ₃	5.4 ± 0.6	360	110	35
メタン	CH ₄	14.5 ± 2.5	62 ± 20	24.5 ± 7.5	7.5 ± 2.5
一酸化二窒素	N ₂ O	120	290	320	180
CFC -11	CFCl ₃	50 ± 5	5000	4000	1400
CFC -12	CF ₂ Cl ₂	102	7900	8500	4200
CFC -113	C ₂ F ₃ Cl ₃	85	5000	5000	2300
CFC -114	C ₂ F ₄ Cl ₂	300	6900	9300	8300
HCFC -22	CF ₂ HCl	13.3	4300	1700	520
HCFC -141b	C ₂ FH ₂ Cl ₂	9.4	1800	630	200
HCFC -225ca	C ₃ F ₅ HCl ₂	2.5	550	170	52
HFC -134a	CH ₂ FCF ₃	14	3300	1300	420

これら環境問題に対する対策として、ガスの回収を徹底すること、温暖化係数の小さい代替ガス、塩素を含まない代替ガスの開発が行われている。

IV-4-6 難エッチング材料の加工法（リフトオフ法）

ハロゲン化物の蒸気圧が低く、ドライエッチングの難しい材料（Cu, Ag, Au, Pt など）を垂直断面をもった形状に加工する方法に、リフトオフ法がある。図 IV. 4. 19 に示すように、最初にリソグラフィによってレジストパターンを形成する。次に、真空蒸着法などによって、できるだけ平行に近い分子（原子）線を、蒸着源とウェハの距離を離すことによって作り出し、薄膜を蒸着する。レジスト側壁にはほとんど膜が形成されないので、その後レジストを剥離液によって除去することによって、図に示すような垂直側壁構造をもった難エッチング材料の加工ができる。平行分子（原子）線が得られない場合には、2層目のマスク材料（図では Si 酸化膜）を用いて、オーバハング断面形状を得る方法がある（図 IV. 4. 20）。

・レジストの除去方法

エッチングの後、不要になったレジストの除去方法には、次の4つがある。

- (1) 熱濃硫酸（硫酸・過酸化水素水混合液（通常 3:1））に浸漬する。俗にピラニア処理または SH（硫酸と過酸化水素水の英語頭文字）処理と呼ぶ。下地が耐酸性の時に使用。
- (2) 酸素プラズマアッシング。レジストがイオンまたはドライエッチングで炭化している時使用。
- (3) 剥離液（アルキルベンゼンスルホン酸など：急性毒性物質、90℃程度に熱して使用）。下地が Al などの金属の時使用
- (4) 高濃度オゾン水。従来の洗浄に比べ汚染物質が少なく、時間の経過とともに無害な物質に変化し環境にやさしい。しかし、現段階では熱濃硫酸に比べレジストの除去速度が遅い欠点がある。

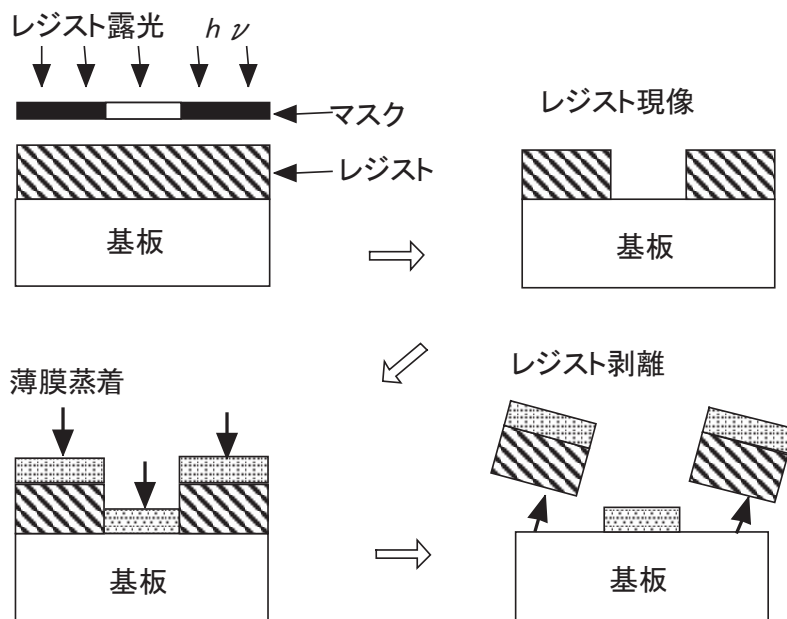


図 IV. 4. 19 難エッチング材料の加工に用いられるリフトオフ法

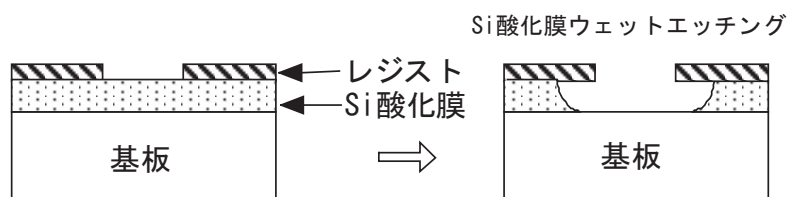


図 IV. 4. 20 リフトオフ法のためのオーバハング構造の作製例

IV-4-7 最新の超微細加工技術

最も最先端の超微細加工技術は、どこまで進歩しているのか、その一端を紹介する。既に20年以上も前に原子を1個ずつ操作する技術が報告されている。図IV.4.21は1990年にIBMから報告されたもので、走査トンネル顕微鏡 (Scanning Tunnel Microscope: STM) を用いて原子を1粒ずつ動かしてIBMという文字を描いたものである。原子の熱運動を抑制するために液体He温度(4K)に冷却したNi表面にXe原子をランダムに配置した後、原子操作を行っている。用いたSTM技術の原理を図IV.4.22に示す。1982年にIBMチューリッヒ研究所のBinnigとRohrerによって発明されたもので1986年にノーベル物理学賞が授与された。電圧を印加するとオングストローム ($\text{\AA} : 10^{-8}\text{cm}$) の精度で x, y, z 方向に伸び縮みする素子 (ピエゾ素子) の先に、先端の尖った金属針 (Re, Ptなどが用いられる) を取り付け、被測定表面に数 \AA の距離まで近づける。外部フィードバック回路によって金

究極の加工技術—原子操作—

走査トンネル顕微鏡による原子操作



Image originally created by IBM Corporation

<http://www.almaden.ibm.com/vis/stm/images/stm10.jpg>

Ni (110) 表面場のキセノン原子ランダム配置の初期状態
走査トンネル顕微鏡によって並べられたキセノン原子による文字

D. Eigler, E. Schweizer, Nature, 344, (1990) p. 525.

図 IV. 4. 21 走査トンネル顕微鏡 (Scanning Tunnel Microscope: STM) による原子走査

走査トンネル顕微鏡(STM)の原理

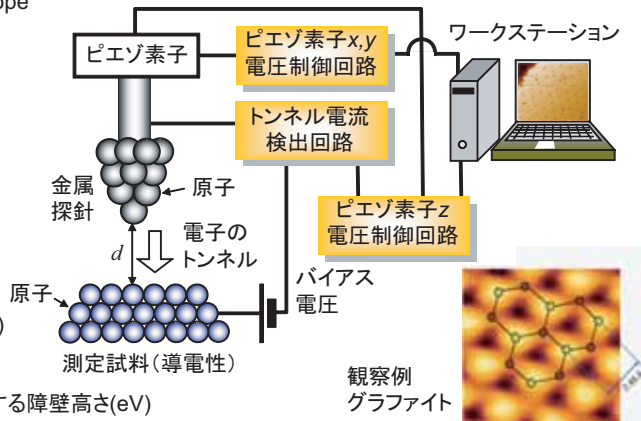
1982年IBMのBinnigとRohrerが発明。1986年ノーベル賞。

Scanning Tunnel Microscope

トンネル電流 J_T は、トンネル距離 d の指数関数で変化
 $V \ll \phi$ の時は次式で近似可

$$J_T = \frac{q^2 V \sqrt{2qm}}{2h^2 d} \cdot \exp\left(-\frac{4\pi d \sqrt{2qm\phi}}{h}\right)$$

V : バイアス電圧(V)
 d : 探針と試料の間の距離(m)
 q : 電子電荷(C)
 m : 電子質量(kg)
 ϕ : 探針・試料間の電子に対する障壁高さ(eV)
 h : プランク定数(J·s)



http://www.siint.com/products/spm/tec_mode/b_1_stm.html

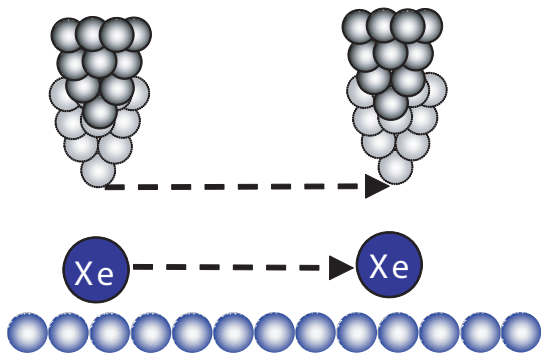
トンネル電流が一定になるように、ピエゾ素子に印加する電圧を制御。その電圧の大きさを画面表示すると、表面の凹凸像が原子分解能で得られる。

図 IV. 4. 22 走査トンネル顕微鏡 (Scanning Tunnel Microscope: STM) の原理説明

属針と試料表面との間に流れるトンネル電流が一定になるようにピエゾ素子にz方向電圧を印加する。即ち金属針と試料表面の距離を一定に保つのである。スクリーン上には、ピエゾ素子に印加するx,y走査信号と同期させてz信号を（たとえば明暗の像として）表示する。この方法により試料表面の凹凸をz信号の強弱としてスクリーン上に表示できる。

STMによる原子操作の方法を図IV.4.23に示す。金属針を操作したい原子に近づけ、適切な電圧を印加して原子に吸引力を与え、その原子を移動させる。所望の場所で電圧印加を止め金属針を遠ざけて移動が終了する。STMによる他の原子操作例を図IV.4.24に示す。この例ではCu表面上にFe原子で構成された原子の檻が形成され、電子波の閉じ込めを観測している。この方法は、原子を1個ずつ制御するという究極の精度を持つ反面、現状では加工時間が極めて長くLSIの製作には向かないが、金属針を多数設置して加工時間を短縮する試みがなされている。その例を図IV.4.25に示す。ヒータを備えた金属針をLSI作製技術を用いて多数集積し、原子移動ではなく、有機ポリマフィルム上に熱で微細な孔を形成しメモリとするものである。ハードディスクの100倍の容量である500Gb/inch²が可能という。しかしフラッシュメモリの大容量化に押されて、まだ実用化のメドは立っていないようである。最近、この技術が超微細リソグラフィーに応用され製品が市販されている。

Positioning Atoms with an STM

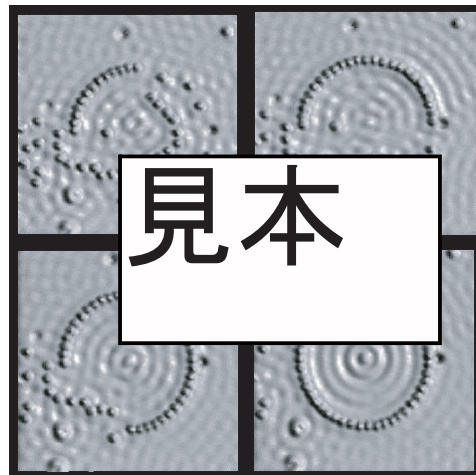


The STM tip is brought down near the atom, and the attraction is enough to hold it as the atom is dragged across the surface to a new position.

D.M. Eigler & E.R. Schweizer Nature 344, 524 (1990)

図 IV. 4. 23 STM による原子操作の方法

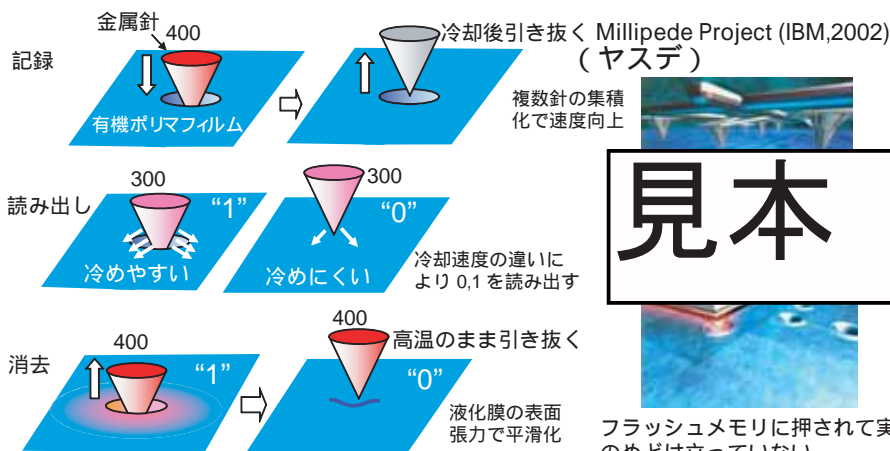
Cu(111)上のFe原子で構成した原子の檻 (IBMのデータ)



<http://www.almaden.ibm.com/vis/stm/images/stm16.jpg>

図 IV. 4. 24 STM によるほかの原子操作例

STM 技術を応用した超大容量メモリ



フラッシュメモリに押されて実用化のめどは立っていない

<http://www.theharrowgroup.com/articles/20020701/20020701.htm>

1 インチ² の有機ポリマフィルムで500ギガビット以上が可能 (現在のハードディスクの100倍) (IBM)

図 IV. 4. 25 STM 技術を応用した超大容量メモリ : Millipede Project

IV・5 薄膜形成

図 IV. 5. 1 に示すように、LSI には多種類の薄膜が使用される。図 IV. 5. 2 に LSI で使用される材料の変遷を示す。初期には、主に Si, SiO₂, Al の 3 種類であったが、微細化と高性能化の要求に応え

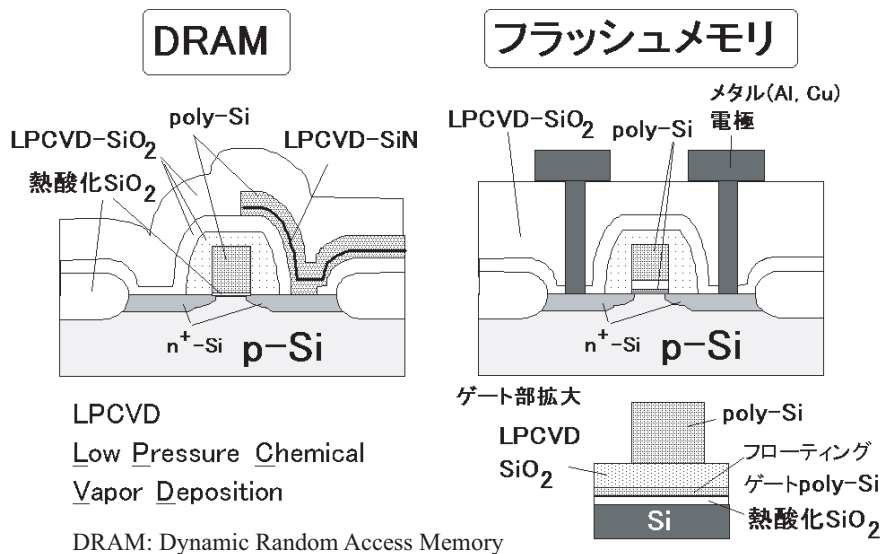
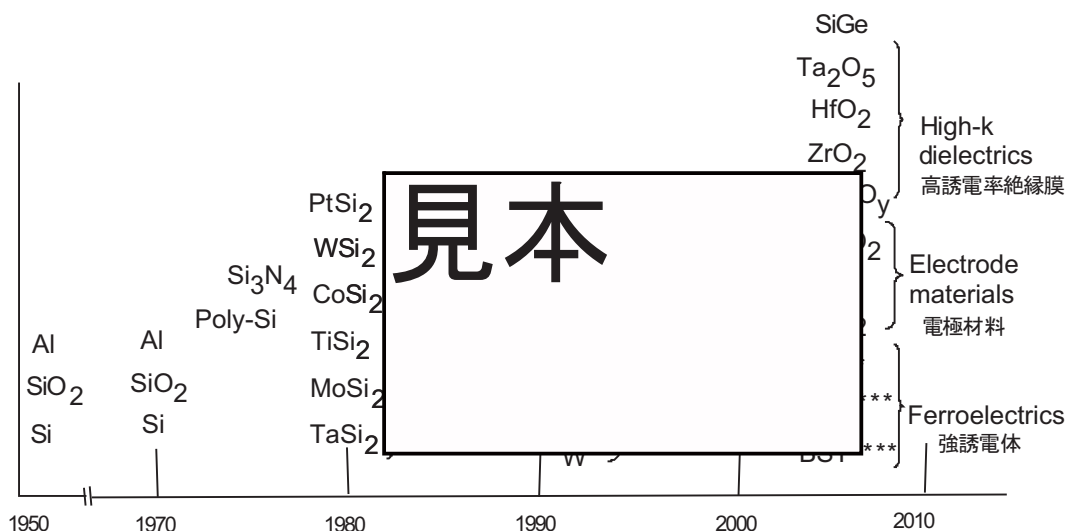


図 IV. 5. 1 LSI において使用される各種薄膜



(S. M. Sze, Based on invited talk at Stanford Univ., Aug. 1999)

*HSQ: Hydrogen Silsesquioxane **Y1: BiSr₂Ta₂O₉ ***PZT: Pb(Zr, Ti)O₃ ****BST: Ba_xSr_{1-x}TiO₃

図 IV. 5. 2 LSI に使用される材料の変遷

表 IV. 5 LSI において使用される各種薄膜の成長方法

LSIに使われる主な薄膜	形成方法
①Si酸化膜: SiO ₂	熱酸化
②Si窒化膜: Si ₃ N ₄	熱化学反応 (CVD:Chemical Vapor Deposition)
③多結晶Si: poly-Si	CVD
④燐ガラス: PSG(Phospho Silicate Glass)	CVD
⑤各種金属(Al, Cu, W)	スパッタ、CVD(MO: Metal Organic: 金属有機化合物を原料としたCVD)、メッキ
⑥その他 高・低誘電率膜 強誘電体、磁性体膜	CVD, スパッタ, コーティング CVD, スパッタ, コーティング

るために、最近では 20 種類以上の材料が用いられている。

表 IV. 5 に LSI で使用される主な薄膜とその形成方法を示す。化学反応を用いるもの、物理的に材料基板の原子をたたき出すスパッタ法、塗布法などがある。

IV-5-1 Chemical Vapor Deposition (CVD: 化学気相堆積法)

ガスを原料とした化学反応を用いる Chemical Vapor Deposition (CVD: 化学気相堆積法) は、最もよく使用される薄膜堆積法である。大口径のウェハ上に均一に薄膜を堆積させることが可能である。表 IV. 6 に、各種薄膜の CVD における反応式の例をまとめた。図 IV. 5. 3 に装置の例を、表 IV. 7 にそれぞれの特徴を示す。減圧にしてガス分子の平均自由行程を長くし、膜厚均一性を上げる方法がしばしば用いられ、Low Pressure CVD (LPCVD) と呼ばれている。表 IV. 6 に示した反応には、通常 LPCVD を用いている。素子の微細化に伴い、p 型 n 型不純物の熱拡散をできるだけ抑制するために、Rapid Thermal Process (RTP) と呼ばれる、加熱にランプやレーザを用いる高速熱処理技術が用いられている。なお、表 IV. 7 中の「スループット」とは、単位時間当たりの処理能力のことである。

表 IV. 6 LSI において使用される各種薄膜成長における反応

薄膜の種類	反応式	
シリコン窒化膜(Si ₃ N ₄)	$3SiCl_2H_2 + 4NH_3 \rightarrow Si_3N_4 + 6HCl + 6H_2$ 750°C	* ジクロロシラン
二酸化シリコン(SiO ₂)	$Si(OC_2H_5)_4 \rightarrow SiO_2 + 4C_2H_4 + 2H_2O$ 650-750°C $SiCl_2H_2 + 2N_2O \rightarrow SiO_2 + 2N_2 + 2HCl$ 850-900°C	** テトラエチルオルソシリケート (TEOS)
ポリシリコン(poly-Si)	$SiH_4 \rightarrow Si + 2H_2$ 600-650°C	
W	$WF_6 + 3H_2 \rightarrow W + 6HF$	
Al	$2[(CH_3)_2CHCH_2]_3Al \rightarrow 2Al + 3H_2 + \text{副産物}$ (トリメチルアルミニウム)	

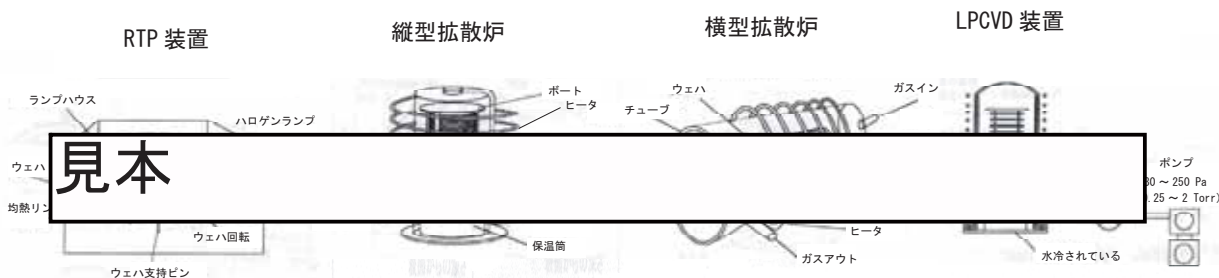


図 IV. 5. 3 化学気相堆積に使用される反応炉の例

表 IV. 7 各種反応炉の特徴

	縦型拡散炉	横型拡散炉	RTP装置
特徴	バッチ処理、ヒーター加熱	バッチ処理、ヒーター加熱	枚葉処理、ランプ加熱
長所	スループットが高い 大気の巻き込みが少ない ウェハ面内均熱が良い	スループットが高い ウェハ自重による応力を受けにくい	急冷急加熱が可能 雰囲気を制御できる
短所	ウェハ自重による応力を受けやすい	大気の巻き込みがある ウェハ面内に熱分布が発生しやすい	実温が不明 装置が高価 処理能力が低い 熱ストレスが大きい

ガスを原料とした化学反応による薄膜成長には、2種類ある。図 IV.5.4(a) に示す表面反応のみによるものと、(b) の気相反応を伴う薄膜成長である。一般に LSI 製作にとって好ましいのは (a) の表面反応のみのものである。

(a) 表面反応のみの場合、基板の表面でのみ（熱）化学反応が起こり、基板上に均一な薄膜成長が可能である。

(b) ガス圧が高く気相中で分子衝突が起こったり、温度が高く気相中で熱分解反応が起こったりすると、図に示すように、粒子が生成され、表面荒れや基板上への粒子付着が生じる。これらは LSI の不良につながる。

表面反応のみの場合でも、反応物質の表面での移動度の違いによって、溝部分での膜厚均一性に大きな違いが現れる（図 IV.5.5）。反応物質の表面での移動度が大きい場合は、溝側面および底面まで、反応物質が行き渡るため均一な薄膜成長が起こる。一方、移動度が小さい場合には、成長速度は、堆積場所から気相を見込む立体角に比例するため、溝の内部で成長速度が減少し膜厚が減少する。

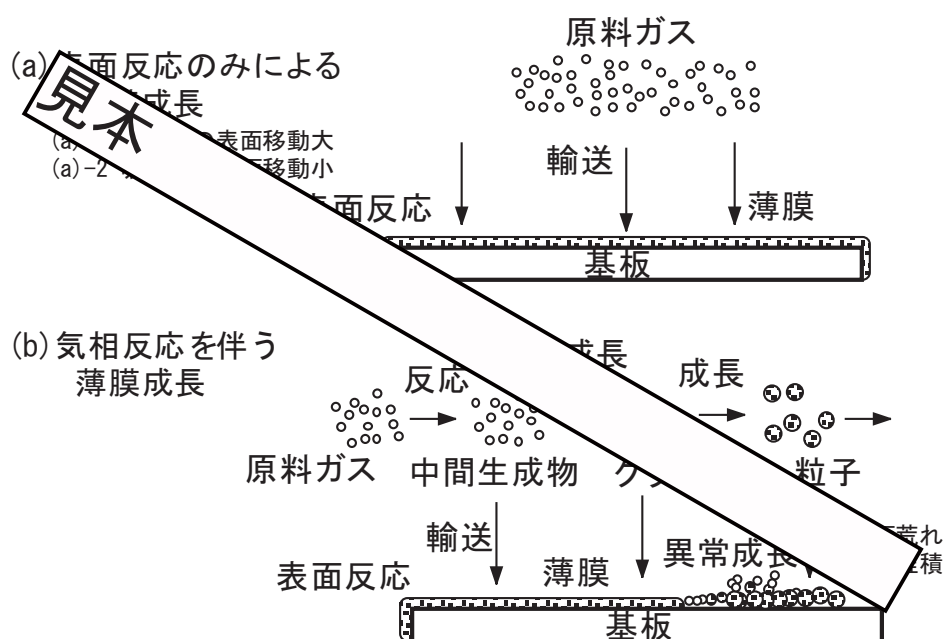


図 IV.5.4 化学気相堆積における薄膜成長機

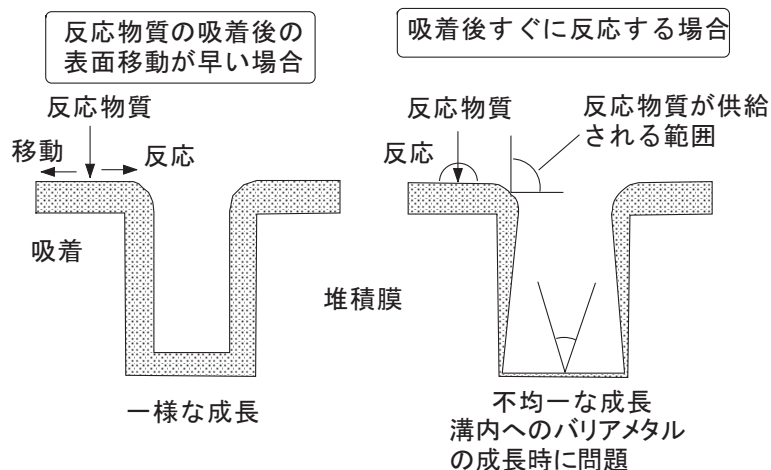


図 IV.5.5 表面移動度と溝内膜厚均一性の関係

IV-5-2 Si 熱酸化膜

MOSトランジスタの心臓部は、ゲート絶縁膜/半導体界面である。Si 熱酸化膜/Si 界面のバンドギャップ内準位密度は $10^9/\text{cm}^2 \cdot \text{eV}$ 以下と、非常に欠陥の少ない良好な特性が得られている（表面原子密度は $10^{15}/\text{cm}^2$ ）。 SiO_2 と Si の物性を表 IV. 8 に示す。Si を酸化すると膜厚が 2.3 倍に膨れ上がる。 SiO_2 の熱伝導率は Si の 1/100 と極めて小さいので、デバイスの放熱設計上重要である。 SiO_2 の熱膨張係数は Si の 1/5 と小さいので、熱酸化後 SiO_2 内には大きな圧縮応力が存在する。 SiO_2 の構造を図 IV. 5. 6 に示す。単位セルは図に示す正四面体であり、これが整然と配列したものが水晶である。デバイスに使われる熱酸化 (CVD も) SiO_2 は、正四面体セルが角度に自由度をもって連結した非晶質 (アモルファス) である。

表 IV. 8 SiO_2 と Si の比較

	SiO_2	Si	備考
密度	2.27 g/cm^3	2.33 g/cm^3	同程度
原子(分子)密度	$2.3 \times 10^{22} / \text{cm}^3$	$5.00 \times 10^{22} / \text{cm}^3$	Siを酸化すると膜厚が約2.3倍になる
熱伝導率	$0.014 \text{ cm}^2/\text{s}$	$1.5 \text{ cm}^2/\text{s}$	SiO_2 はSiの約1/100の熱伝導率
熱膨張率	$0.5 \times 10^{-6} / ^\circ\text{C}$	$2.5 \times 10^{-6} / ^\circ\text{C}$	SiO_2 はSiの約1/5の熱膨張率

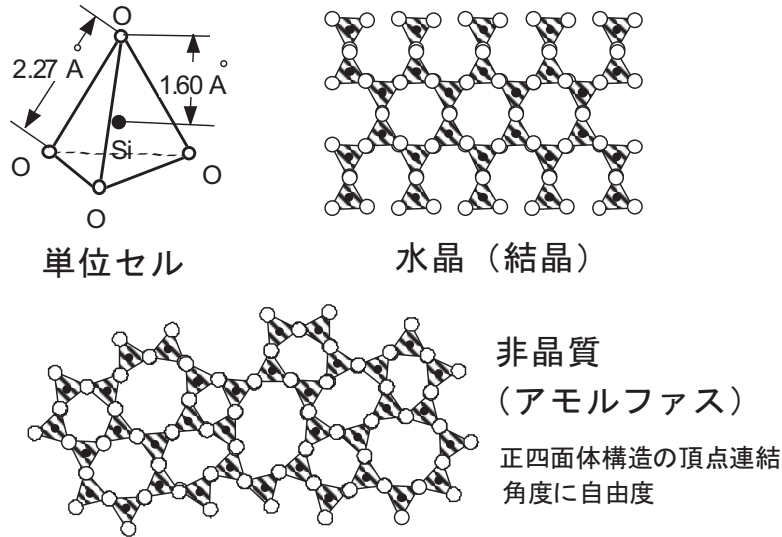


図 IV. 5. 6 SiO_2 の構造

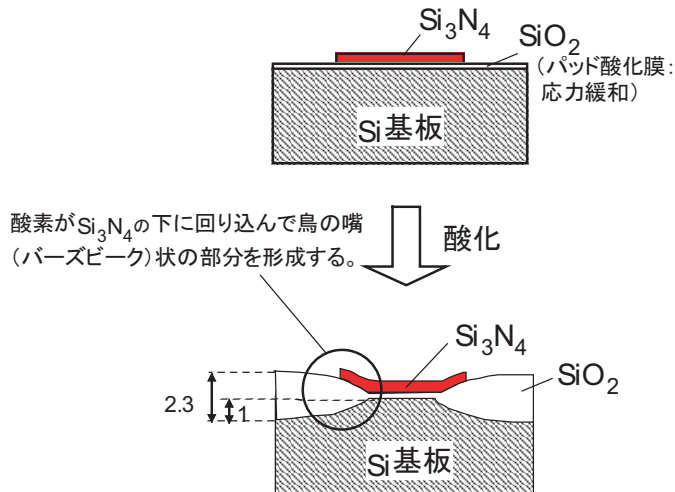
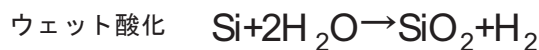


図 IV. 5. 7 Si の選択酸化 (Local Oxidation of Si: LOCOS) におけるバズビークの発生



(パイロジェニック酸化)

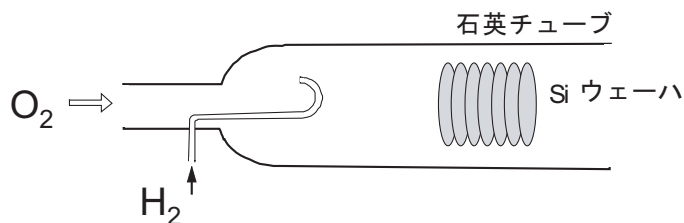
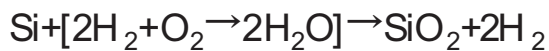


図 IV. 5. 8 Si の熱酸化

素子分離を行うときの Si の選択酸化法を図 IV. 5. 7 に示す。酸素を通さない Si_3N_4 膜を用いて必要な部分のみを選択的に酸化する方法で Local Oxidation of Silicon (LOCOS) と呼ばれている。Si 上に直接 Si_3N_4 膜を被着させて酸化すると、 Si_3N_4 と Si の大きな熱膨張係数の違いと Si_3N_4 膜中の大きな内部応力により、Si 結晶に欠陥が発生するので、これを防ぐために、応力緩和層として薄い SiO_2 を間に挟む。酸化を行うと酸素が Si_3N_4 膜の端部分から横方向に拡散するため、図に示すように、鳥の嘴状になる。この部分を Bird's Beak (バーズビーク) と呼ぶ。このため、分離酸化膜とトランジスタの形成されるアクティブ領域との境界がなだらかになり、金属配線の段差切れが抑制される。なお、最近の分離酸化膜製法の主流はシャロートレンチアイソレーション (STI) と呼ばれるものである。図 IV. 5. 8 に Si の熱酸化の反応および装置概要を示す。酸化には、乾燥酸素を用いるドライ酸化と水蒸気を用いるウェット酸化、および水蒸気の代わりに、水素・酸素燃焼によって生じた水蒸気を利用するパイロジェニック酸化がある。水蒸気を用いることによって酸化速度は 10 倍程度増大する。

図 IV. 5. 9 にクリーンルームにおける Si の熱酸化および LPCVD 作業の様子を示す。



図 IV. 5. 9 クリーンルームにおける Si 熱酸化および LPCVD 作業の様子

・犠牲酸化

図 IV. 2. 3 では応力緩衝膜（パッド酸化膜）を除去した後、すぐにゲート酸化膜を形成する図になっているが、実際のプロセスでは、この間に犠牲酸化および犠牲酸化膜をフッ酸によって除去する工程が入る。図 IV. 5. 10 に示すように、LOCOS 高温酸化時に Si 窒化膜がわずかではあるが酸化される。この酸化によって N または NH₃ が発生し、これが Si 表面に拡散して反応し、窒化 Si 膜またはオキシナイトライド膜（窒素を含んだ Si 酸化膜）が形成される。パッド酸化膜をフッ酸で除去しただけでは、窒素を含んだこれらの膜が完全には除去できない。すぐにゲート酸化を行うと、残留した窒素を含んだ膜が酸化を抑制するため、薄いゲート酸化膜部分が形成され絶縁耐圧が低下する。図に示すように Si 窒化膜の酸化は Si 窒化膜パターン周辺に沿って Si 窒化膜の下側から進むので、耐圧の低い薄いゲート酸化膜は Si 窒化膜パターン周辺に沿って形成される。この部分をホワイトトリボンと呼ぶ。これを防止するため、窒素を含んだ部分を取り除くために犠牲酸化膜をあらかじめ形成し、これをフッ酸で除去した後改めてゲート酸化を行う。

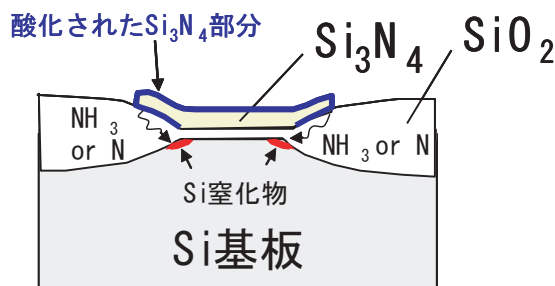


図 IV. 5. 10 LOCOS 酸化時のホワイトトリボン発生メカニズム

IV・5-3 Deal Grove の酸化モデル

1965 年に Deal と Grove によって発表された酸化機構を説明する。このモデルはドライ酸化の場合、酸化膜厚 20nm 以上の領域で実験結果とよく一致する。影島らによって薄い領域でも実験結果によく合うモデルが発表されている (H. Kageshima *et al.*, Jpn. J. Appl. Phys. Vol. 38, p. L971(1999), T. Deguchi *et al.*, Jpn. J. Appl. Phys. Vol. 39, p. L699(2000))。図 IV. 5. 11 にモデル図を示す。気相中の酸化種（酸素または水蒸気）の濃度を C*、酸化膜表面の SiO₂ 中の酸化種濃度を C₀、酸化膜 / Si 界面での酸化種濃度を C_i とする。酸化種の、気相中、酸化膜中および、酸化膜 / Si 界面での流束密度を、それぞれ F₁, F₂, F₃ とすると次式が成り立つ。

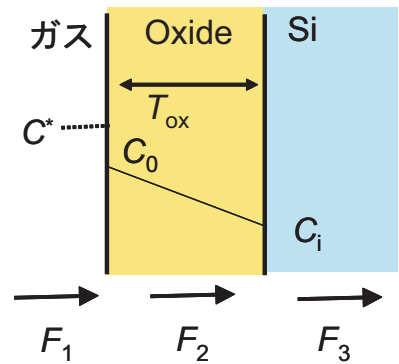


図 IV. 5. 11 Si の酸化モデル

$$F_1 = h(C^* - C_0) \tag{IV・5・1}$$

$$F_2 = D_{eff}(C_0 - C_i) / T_{ox} \tag{IV・5・2}$$

$$F_3 = kC_i \tag{IV・5・3}$$

ここで、*h* は気相中での酸化種の拡散に関する比例定数、*k* は酸化膜 / Si 界面での酸化反応の速度定数、*D_{eff}* は酸化膜中での酸化種の拡散係数、*T_{ox}* は酸化膜厚である。定常状態では、この 3 つの流れは等しいので、

$$F_1 = F_2 = F_3 = F \tag{IV・5・4}$$

とする。また、質量保存の法則から、

$$\frac{dT_{ox}}{dt} = \frac{F}{N} \tag{IV・5・5}$$

ここで、*N* は酸化膜の酸化種分子密度である。(IV・5・1)-(IV・5・4) から C₀ と C_i を消去すると、

$$\frac{dT_{ox}}{dt} = \frac{F}{N} = \frac{kC^* / N}{1 + \frac{k}{h} + \frac{kT_{ox}}{D_{eff}}} \tag{IV\cdot 5\cdot 6}$$

初期条件として、時刻 $t=0$ で $T_{ox} = T_0$ として (IV\cdot 5\cdot 6) の微分方程式を解くと、

$$T_{ox}^2 + AT_{ox} = B(t + \tau_0). \tag{IV\cdot 5\cdot 7}$$

ここに、 $A \equiv 2D_{eff} \left(\frac{1}{k} + \frac{1}{h} \right)$, $B \equiv 2D_{eff}C^* / N$, $\tau_0 \equiv (T_0^2 + AT_0) / B$ (IV\cdot 5\cdot 8)

長時間酸化の場合は、 $t + \tau_0 \gg A^2 / 4B$ かつ $t \gg \tau_0 \Rightarrow T_{ox}^2 \cong Bt$. (IV\cdot 5\cdot 9)
 即ち、酸化膜厚は酸化時間のルートに比例する。ここで B を 2 次酸化係数と呼ぶ。

この領域では、酸化速度は酸化種の酸化膜中での拡散によって律速されるので、拡散律速と呼ぶ。

短時間酸化の場合は、 $t + \tau_0 \ll A^2 / 4B \Rightarrow T_{ox} \cong \frac{B}{A}(t + \tau_0)$. (IV\cdot 5\cdot 10)

即ち、酸化速度は時間の線形 (リニア) 関数となる。ここで B/A を 1 次酸化係数と呼ぶ。

この領域では、酸化速度は界面での酸化速度によって律速されるので、反応律速と呼ぶ。

実験結果を図 IV. 5. 12 に示す。短時間酸化では両対数目盛りのグラフで傾き 1、即ち時間の線形関数、長時間酸化では傾き 1/2、即ち時間のルート比例しており、Deal Grove の酸化モデルが成り立っていることが分かる。図 IV. 5. 13 に広島大学の酸化データを示す。

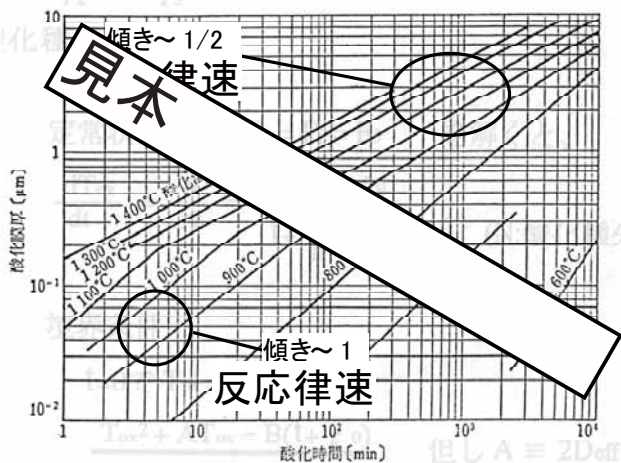


図 IV. 5. 12 常圧水蒸気中での Si の酸化膜厚と酸化時間の関係

徳山 巍 著 MOS デバイス, 工業調査会, 1983, 第 7 版, p. 110, 図 4. 4 より引用

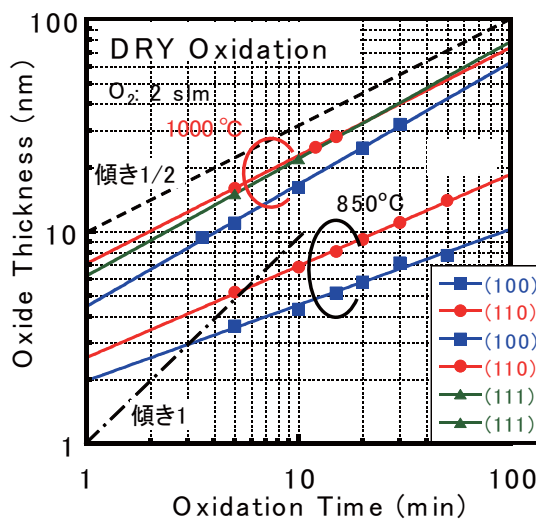
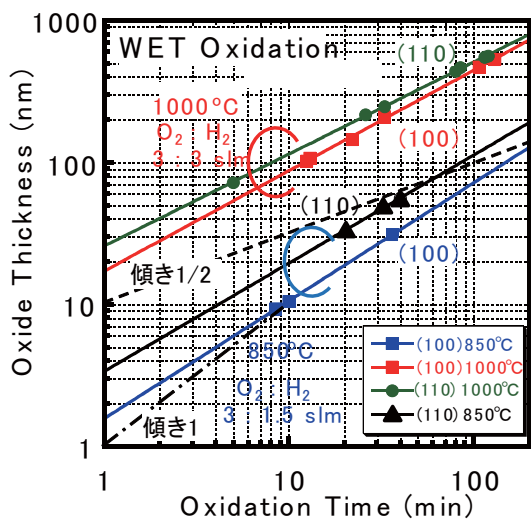
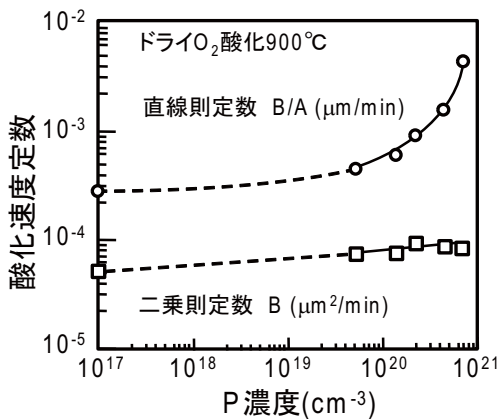


図 IV. 5. 13 Si の酸化速度 (酸化温度、パイロジェニック、ドライ、及び面方位依存性、広島大学ナノデバイス・バイオ融合科学研究所提供)

・酸化速度の不純物濃度依存性

Si の酸化速度は、不純物濃度に大きく依存する。図 IV. 5. 14 に磷濃度と酸化速度定数の関係を表す。特に、前頁に示した短時間酸化（反応律速）の時の1次酸化係数 B/A は、 $10^{20}/\text{cm}^3$ 以上の高濃度で急速に増大する。高濃度の磷原子によって Si 原子同士の結合が弱まるためと言われている。これに対して、長時間酸化（拡散律速）の時の2次酸化係数 B の変化は緩やかである。不純物濃度の違いによる酸化速度の違いは、図 IV. 2. 8 に示した Al ゲート MOS トランジスタの製作時に問題となる。薄い酸化膜（保護酸化膜：表面汚染防止の役割）を通してソース / ドレインのイオン注入後、その保護酸化膜をゲート酸化膜とする図になっているが、実際は汚染された保護酸化膜を一旦除去し、新たにきれいなゲート酸化膜を形成する。この際、高濃度のソース / ドレイン部分は低濃度のチャネル部分に比べ数倍厚く酸化される。このことを覚えておかないと、ソース / ドレインが全て酸化され n^+/p 接合が形成されなかったり、コンタクトホールエッチングのエッチング不足でメタルコンタクト不良を起こすことになる。酸化速度の不純物濃度依存性は、不純物の種類、酸化方法（ドライ酸化、ウェット酸化）、Si の面方位等によって異なる。一例を図 IV. 5. 15 に示す。ドライ O_2 酸化に比べウェット酸化



における酸化速度の磷濃度依存性が、低温側 (920°C) で特に大きくなっている。この現象を応用すれば自己整合的な構造を作製できる。

図 IV. 5. 14 ドライ O_2 酸化における Si 酸化速度定数の磷濃度依存性 (C.P. Ho *et al.*, J. Electrochem. Soc. **125**, 665(1978))

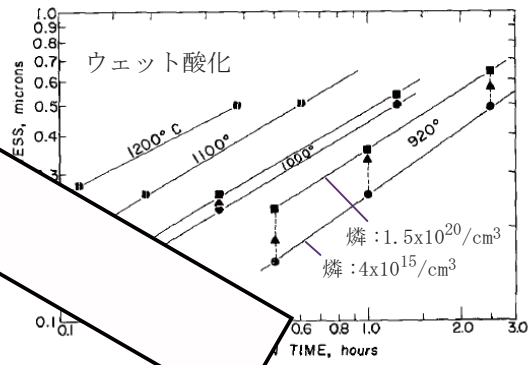
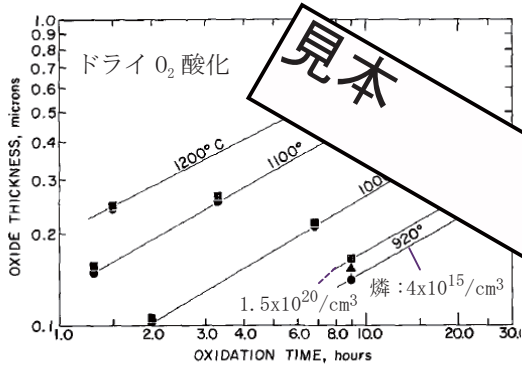


Fig. 3. Oxidation of phosphorus-doped silicon in dry O_2 for three different phosphorus concentrations at four oxidation temperatures: ■, $C_B = 1.5 \times 10^{20} \text{ cm}^{-3}$; ▲, $C_B = 3.7 \times 10^{19} \text{ cm}^{-3}$; ●, $C_B = 4.0 \times 10^{15} \text{ cm}^{-3}$.

Fig. 4. Oxidation of phosphorus-doped silicon in wet O_2 (95°C H_2O) for three different phosphorus concentrations at four oxidation temperatures: ■, $C_B = 1.5 \times 10^{20} \text{ cm}^{-3}$; ▲, $C_B = 3.7 \times 10^{19} \text{ cm}^{-3}$; ●, $C_B = 4.0 \times 10^{15} \text{ cm}^{-3}$.

図 IV. 5. 15 ドライ O_2 酸化とウェット酸化における酸化速度の磷濃度依存性。低温側 (920°C) においてウェット酸化における磷濃度依存性が際立って大きくなっている (B. E. Deal and M. Sklar, J. Electrochem. Soc. **112**, 430 (1965))。

IV-5-4 スパッタリング (sputtering)

スパッタリング法は、図 IV. 5. 16 に示すように、不活性イオン（通常アルゴンイオン）による物理的衝撃によってターゲット基板中の原子をたたきだし、ウェハ上に薄膜を堆積させる方法である。図 IV. 5. 17 はスパッタリング現象のミクロなモデルである。入射イオンによってターゲット原子が変位し、その影響で別のターゲット原子が入射イオンの入射方向と反対方向に飛び出す（反跳）現象である。飛び出す原子のエネルギーは数 eV ~ 数十 eV に達し、真空蒸着法の数十倍以上と大きいため、付着力が大きく緻密な膜が得られる。また、ターゲット材を代えることにより簡単に各種薄膜を作製できる。不活性ガスに反応ガス（酸素や窒素）を混合させることにより、各種の化合物薄膜が形成できる。こ

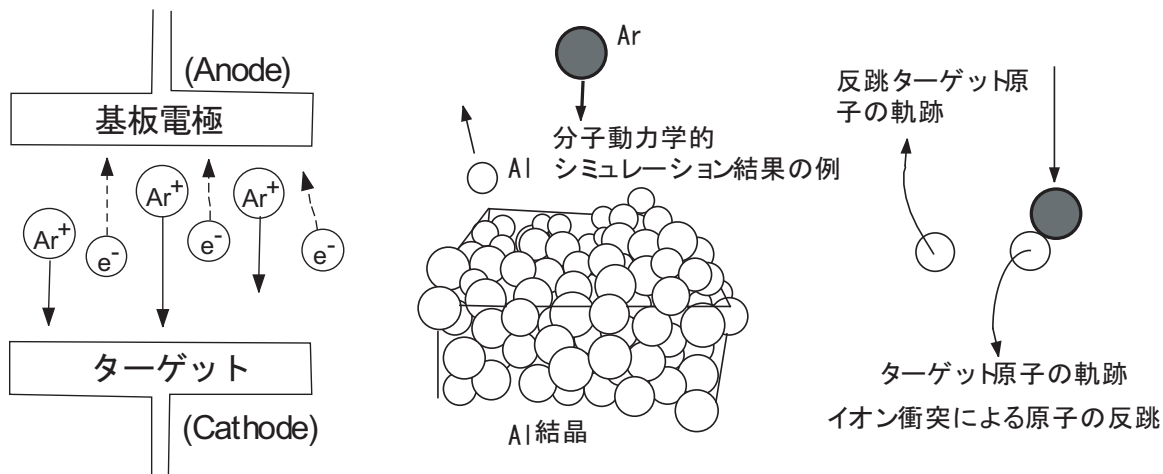


図 IV. 5. 17 スパッタ現象のマイクロモデル

図 IV. 5. 16 スパッタ装置原理図

表 IV. 9 スパッタリング法によって形成される薄膜の例

導体	Al, Cu, Au, Cr 等
半導体	Si, Ge, Se, SnO ₂ 等
絶縁体	SiO ₂ , Ta ₂ O ₅ , Al ₂ O ₃ , BaTiO ₃ 等
反応性スパッタによる薄膜	Ta ₂ O ₅ , Si ₃ N ₄ , MnO ₂ , SnO ₂ , In ₂ O ₃ 等

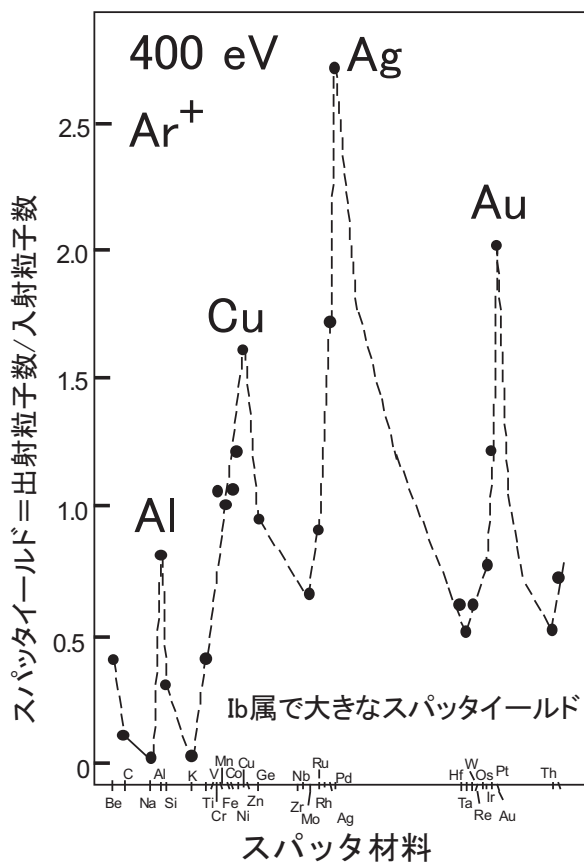


表 IV. 10 スパッタ製膜速度およびスパッタイールドの例

材料	成膜速度 (nm/min)	スパッタイールド
Al	50	1.2
Au	110	2.8
Cu	40	2.3
Fe	25	1.3
Ni	25	1.5
Ta	15	0.6

図 IV. 5. 18 スパッタイールドとスパッタ材料の関係
G. Carter and J. S. C. Carter, Ion Bombardment of Solid (Heineman Educational Books Ltd., London 1968).

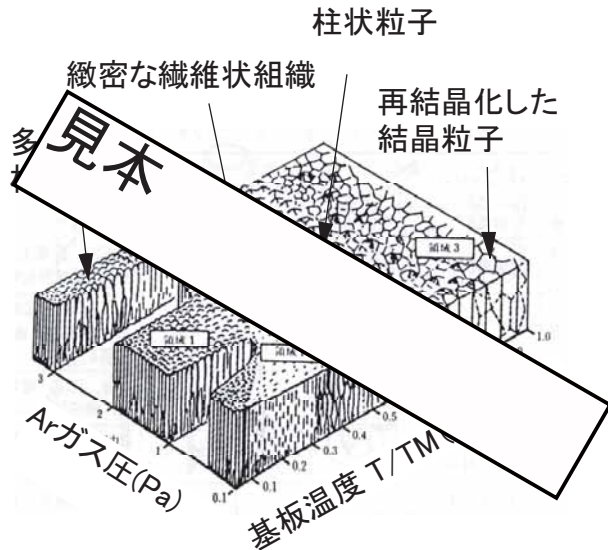


図 IV. 5. 19 スパッタ膜の構造とスパッタ条件の関係

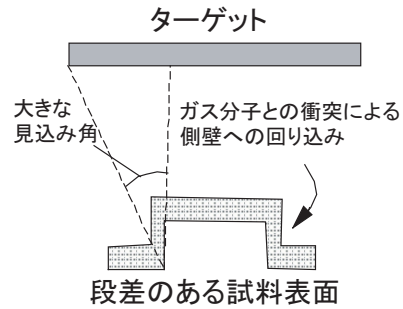


図 IV. 5. 20 スパッタリングによる段差被覆特性

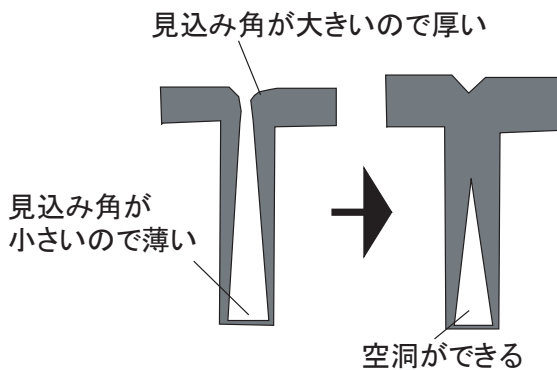


図 IV. 5. 21 スパッタリング法による穴埋め特性



図 IV. 5. 22 スパッタ装置（超高真空仕様：広島大学ナノデバイス・バイオ融合科学研究所）

の方法を反応性スパッタリング法と呼ぶ。表 IV. 9 にスパッタリング法によって形成される薄膜の例を、表 IV. 10 に製膜速度とスパッタイールドの例を示す。スパッタイールドとは、1 個の入射原子 (Ar) に対してはじき出されるターゲット原子の数である。

図 IV. 5. 18 にスパッタ材料とスパッタイールドの関係をグラフで示した。周期表 Ib 族で周期的にスパッタイールドが大きくなっている。図 IV. 5. 19 に、スパッタ時の Ar ガス圧力と基板温度（融点で規格化してある）を変化させたときに形成される薄膜の構造を示す。緻密な繊維状組織を持つ膜は特定範囲の条件で形成される。温度が融点に近づくと柱状粒子が現れ、結晶粒径が増大する。

スパッタリング法は、真空蒸着法に比べ、ステップ部分の段差被覆性に優れているのが特徴である。その様子を図 IV. 5. 20 に示した。真空蒸着法では、点状に近い蒸着源から蒸発した原子により製膜されるため、図のように段差がある場合、側面の膜厚が薄くなる（図 IV. 5. 21）。このため、配線金属を形成する場合に段差部分で電流密度が増大し、段差切れの原因となる。これに対して、スパッタリング法では、ターゲット基板が大きいため、段差側面がターゲットを見込む角度が比較的大きく、段差部でも膜厚減少が少ない。この特徴を生かして LSI の配線用金属膜の形成にスパッタリング法がよく用いられる。しかし、図 IV. 5. 21 に示すように、深い溝を埋めようとする、内部に空洞ができてしまうという問題がある。この問題を解決するために、平行に近い入射原子ビームが得られるコリメー

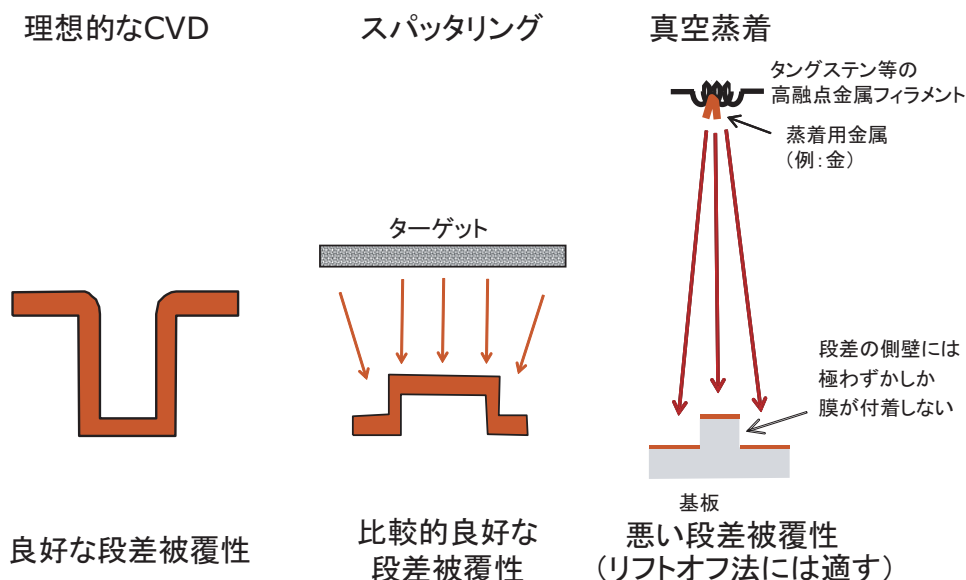


図 IV. 5. 23 CVD、スパッタリング及び真空蒸着法の段差被覆性の比較

トスパッタ法が開発されている。図 IV. 5. 22 にスパッタ装置写真の例を示す。

CVD 法、スパッタリング法および真空蒸着法の段差被覆性の比較を図 IV. 5. 23 に示す。

IV-5-5 高誘電体、強誘電体膜の形成

ソフトエラーを抑制するために、デバイスを微細化してもメモリ容量を減少させることができない。このため、小面積で大きな容量を得るために、誘電率の大きい Ta_2O_5 などの高誘電率膜が使用されている。また、電源を切っても記憶内容が保持される強誘電体の開発も盛んである。図 IV. 5. 24 に主な高・強誘電体の比誘電率と絶縁破壊強度の関係を示す。図に示すように誘電率が大きいほど絶縁破壊強度が減少する傾向がある。また、誘電率が大きいほど、リーク電流が大きくなる傾向があり、誘電率の向上とリーク電流の低減の両立が課題である。

これらの膜の形成法には、

- (1) 原料を塗布後熱処理を行うゾルゲル法
- (2) CVD 法
- (3) スパッタリング法
- (4) レーザを用いてターゲット原子を蒸発させるレーザアブレーション法

などがある。これら高・強誘電体では、膜厚が薄くなるほど結晶性が劣化し、誘電率が低下する問題があり、これを克服する方法の開発が切望されている。

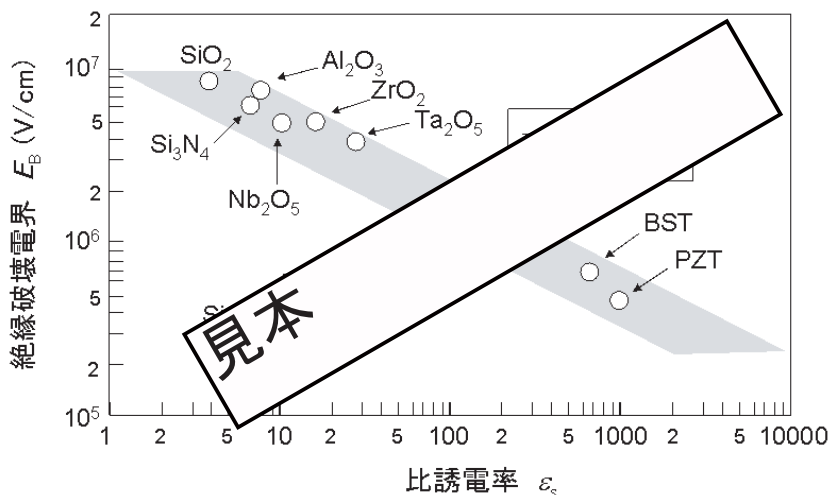


図 IV. 5. 24 高・強誘電体の比誘電率と絶縁破壊電界の関係

IV・6 不純物ドーピング

不純物導入（ドーピング）は、デバイス作製工程において様々な部分で使用される。その例を図 IV.6.1 に示す。不純物ドーピングは、基本的には p 型 n 型の半導体を作り分けるのに使われるが、特殊な例として、イオン注入によって結晶をアモルファス化して、イオン打ち込みの際にイオンが結晶の特定方位に形成された通路に沿って深く入り込むこと（チャネリング：後述）を防止するために使用されることもある。また、不純物濃度によってシリコンの酸化速度が異なることを利用して特殊な構造を作製する場合にも使用される。

LSI 製作工程において、どの工程で不純物ドーピングが行われるかを図 IV.6.2 に示す。ドーピングの必要な工程は、図に示すように主に次の 4 工程である。

- (1) 素子分離耐圧の増大—チャネルストッパー
- (2) トランジスタのしきい値電圧制御
- (3) ソース・ドレイン形成
- (4) 多結晶 Si ゲート電極の低抵抗化

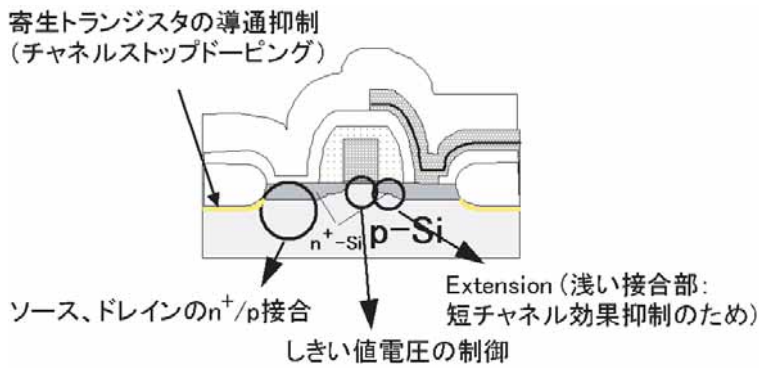


図 IV.6.1 デバイスにおいて不純物ドーピングの行われる部分の例

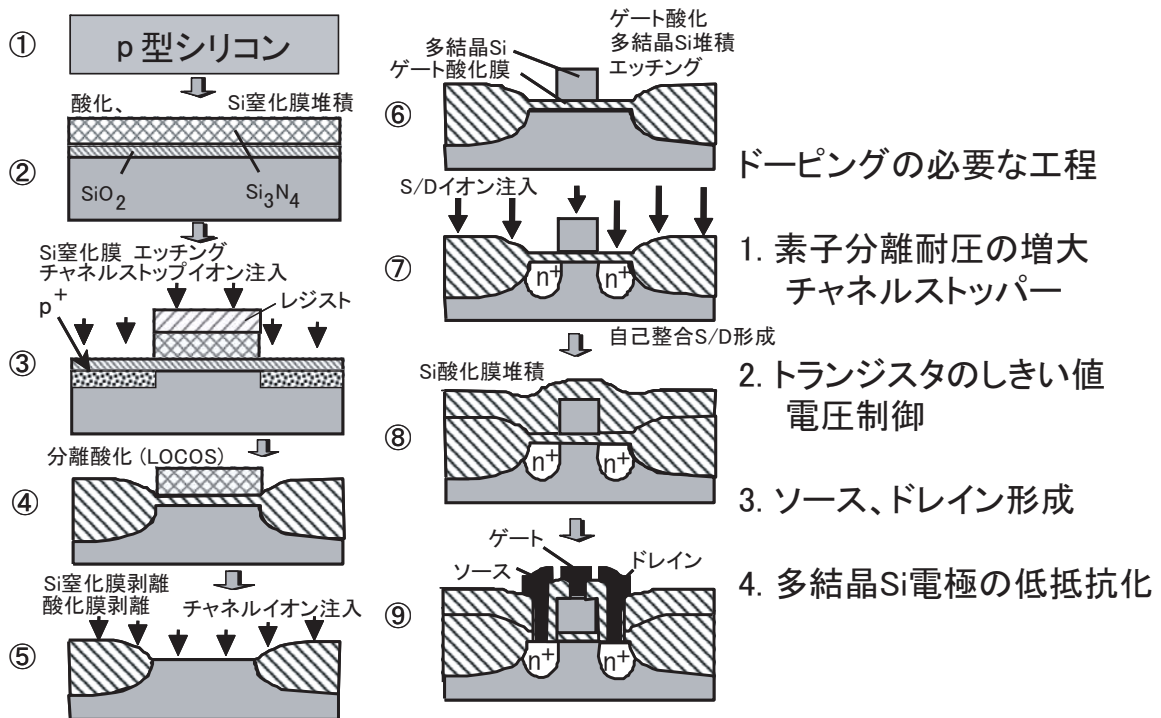


図 IV.6.2 LSI 製作工程におけるドーピングの例

(1) チャネルストップドーピングの必要性を図 IV. 6. 3 に示す。トランジスタ層の上層の金属配線と隣接するトランジスタのソース / ドレインによって、図中点線内で示す部分に、厚い分離酸化膜と絶縁層をゲート絶縁膜とする「寄生トランジスタ」が形成される。配線に印加される電圧がこの寄生トランジスタのしきい値電圧を越えると、予定外の電流通路が形成され回路の動作不良が起こる。チャネルストップドーピングは、寄生トランジスタのしきい値電圧を高め、回路動作不良を抑制するために行われる。トランジスタのしきい値電圧は、(III・2・10：再掲) で与えられる。

$$V_T = \frac{\sqrt{2\epsilon_s q N_A (2\phi_f)}}{C_{ox}} + 2\phi_f + \phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (\text{III} \cdot 2 \cdot 10)$$

これより、しきい値電圧を大きくするためには、分離絶縁膜を厚くし、基板の不純物濃度 N_A を大きくすればよいことがわかる。

(2) トランジスタのしきい値電圧制御のためのドーピングは、基板表面の不純物濃度を制御して、所望のしきい値電圧を得るために行われる。

(3) ソース・ドレインの接合深さは、図 IV. 6. 4 に示すように、デバイスサイズ縮小化に伴って、より浅い接合の形成が求められている。2010 年の市販トランジスタの最小テクノロジノードは 32nm であり、10nm 付近の極めて浅い接合形成が必要である。接合深さが深いと短チャンネル効果が顕著となり、しきい値電圧がチャンネル長の減少と共に急速に減少し、LSI が動作しなくなる (図 III. 5. 1 参照)。

(4) 多結晶 Si ゲート電極の低抵抗化のためのイオン注入は、通常ソース・ドレインのイオン注入と同時にされる。

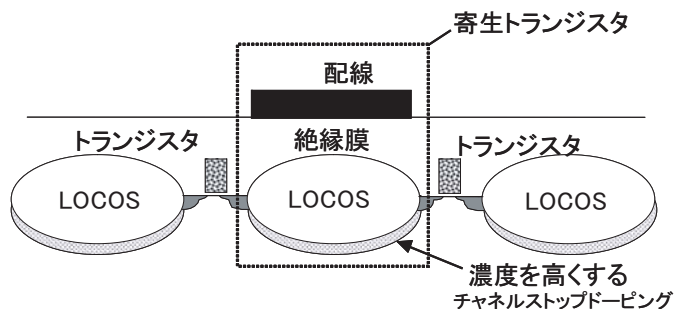


図 IV. 6. 3 チャネルストップドーピングの必要性

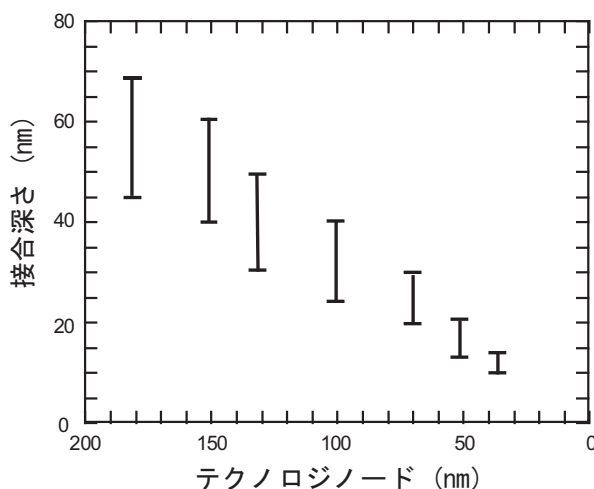


図 IV. 6. 4 ソース / ドレイン接合深さの推移

【例題 IV.1】 Al 配線をゲート電極とする寄生トランジスタの室温におけるしきい値電圧を、幾つかの酸化膜厚さ、および Si 基板濃度について計算せよ。ただし、酸化膜中の固定電荷はゼロとする。

◆解答◆

ゲート酸化膜厚 20nm と 500nm、p 型 Si 基板濃度 $1 \times 10^{15} \text{cm}^{-3}$ と $1 \times 10^{17} \text{cm}^{-3}$ の 4 通りの組み合わせについて計算する。(III・2・10) に数値を代入する。

$$V_T = \frac{\sqrt{2\varepsilon_s q N_A (2\phi_f)}}{C_{ox}} + 2\phi_f + \phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (\text{III} \cdot 2 \cdot 10)$$

まず、ゲート酸化膜厚 20nm、p 型 Si 基板濃度 $1 \times 10^{15} \text{cm}^{-3}$ について計算する。

$$C_{ox} = \frac{\varepsilon_{ox}}{d_{ox}} = \frac{3.9 \times 8.854 \times 10^{-14}}{20 \times 10^{-7}} = 1.72 \times 10^{-7} \text{ (F/cm}^2\text{)}$$

$$\phi_f = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) = 0.026 \times \ln \left(\frac{1 \times 10^{15}}{1.5 \times 10^{10}} \right) \quad (\text{室温の熱エネルギーは } 26 \text{meV: 付録 III 参照})$$

$$= 0.026 \times 11.1 = 0.289 \text{ (eV)}$$

$$\phi_s = \chi + \frac{E_g}{2} + \phi_f = 4.05 + \frac{1.12}{2} + 0.289 = 4.90 \text{ (eV)}$$

$$\phi_{ms} = \phi_m - \phi_s = 4.1 - 4.90 = -0.8 \text{ (eV)} \quad (\text{Al の仕事関数は } 4.1 \text{eV})$$

$$V_T = \frac{\sqrt{2 \times 11.7 \times 8.854 \times 10^{-14} \times 1.6 \times 10^{-19} \times 1 \times 10^{15} \times 2 \times 0.289}}{1.72 \times 10^{-7}} + 2 \times 0.289 - 0.8$$

$$= 0.081 + 0.578 - 0.8 = -0.14 \text{ (V)}$$

同様にして、計算すると、次の結果を得る。

- (i) ゲート酸化膜厚 20nm、基板濃度 $1 \times 10^{15} \text{cm}^{-3}$ のとき、 $V_T = -0.14 \text{ V}$
- (ii) ゲート酸化膜厚 20nm、基板濃度 $1 \times 10^{17} \text{cm}^{-3}$ のとき、 $V_T = +0.86 \text{ V}$
- (iii) ゲート酸化膜厚 500nm、基板濃度 $1 \times 10^{15} \text{cm}^{-3}$ のとき、 $V_T = +1.79 \text{ V}$
- (iv) ゲート酸化膜厚 500nm、基板濃度 $1 \times 10^{17} \text{cm}^{-3}$ のとき、 $V_T = +23.8 \text{ V}$

この計算結果より、次のことが分かる。

- Al ゲート、ゲート酸化膜厚 20nm、基板濃度 $1 \times 10^{15} \text{cm}^{-3}$ のとき、しきい値電圧は負であり、ディプレッション型のトランジスタとなる（入力電圧ゼロでも、ドレイン電流が流れる）。
- 基板濃度 $1 \times 10^{17} \text{cm}^{-3}$ に高めるとエンハンスメント型のトランジスタとなる（入力電圧を正にして、ドレイン電流が流れる）。
- 配線用絶縁膜厚が 500nm の時、基板濃度 $1 \times 10^{15} \text{cm}^{-3}$ では、配線電圧 1.79V で寄生トランジスタが ON してしまい、動作不良が起きる。
- チャネルストップイオン注入により、LOCOS 酸化膜下の基板濃度を $1 \times 10^{17} \text{cm}^{-3}$ に高めれば、配線電圧 23.8V まで寄生トランジスタは ON しないので、動作不良が起きる確率が格段に減少する。



不純物ドーピングの方法には、次の4種類がある。

- (1) 熱拡散法
 - (1)-1 固相拡散
 - (1)-2 気相拡散
- (2) イオン注入法
- (3) プラズマドーピング法
- (4) レーザドーピング法

図 IV. 6. 5 に熱拡散法とイオン注入法の違いを示す。熱拡散法は、固体または気体の拡散源から基板に、不純物を熱によって拡散させる方法である。その分布は、図中に示した補誤差関数で与えられる。イオン注入法は、不純物原子をイオン化し、電圧によって加速した後、基板に打ち込む方法である。不純物分布は、図中に示したガウス分布で与えられる。基板の温度を上げずに深い部分まで不純物を分布させることができる。また、打ち込んだイオンの量（ドーズ量）を、基板電流を積分することにより容易にモニタできる。イオン注入した部分は、結晶が破壊されアモルファス状態になる。元の結晶状態に回復させるため、高温（通常 800℃以上）の熱処理を必要とする。

IV・6-1 熱拡散法

図 IV. 6. 6 に各種不純物の SiO₂ および Si 結晶中での拡散係数と拡散機構を示す。拡散の機構には、

- (1) 格子間原子機構拡散および
- (2) 空格子点機構拡散

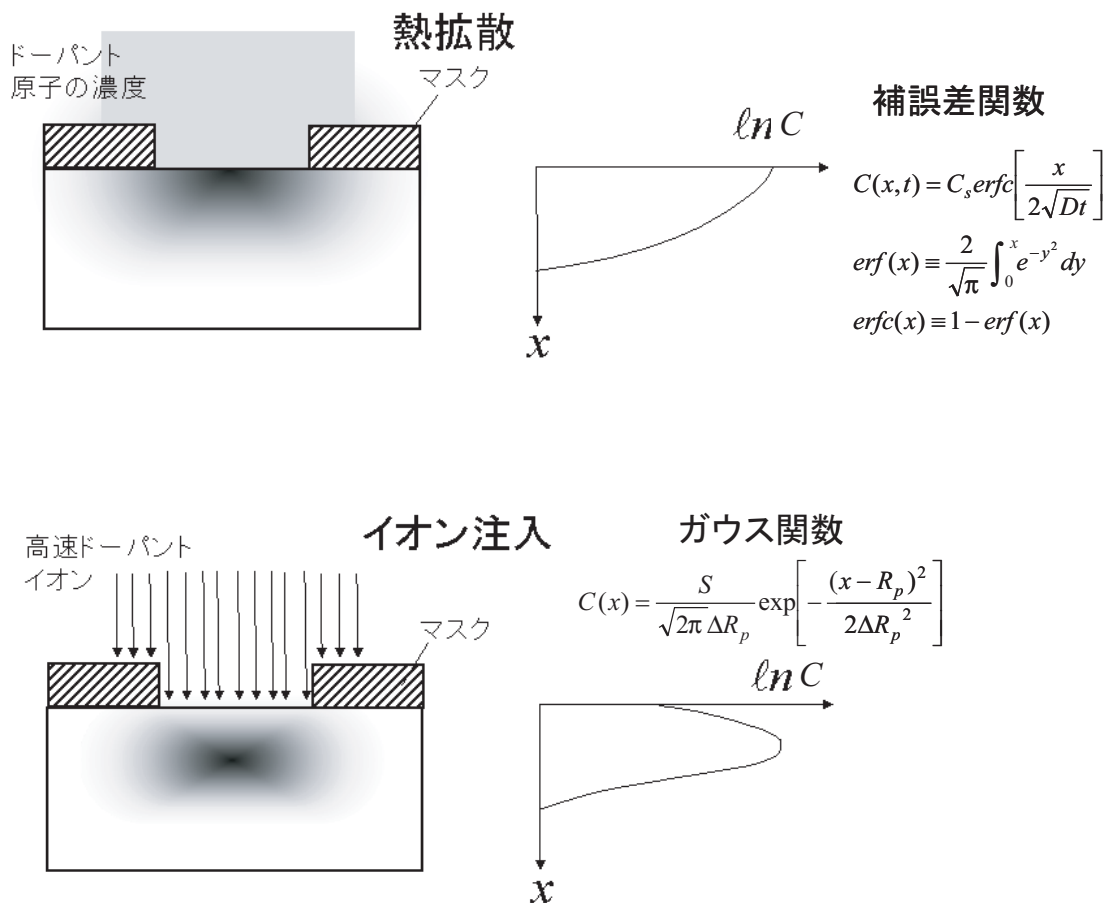


図 IV. 6. 5 熱拡散とイオン注入における不純物分布の比較

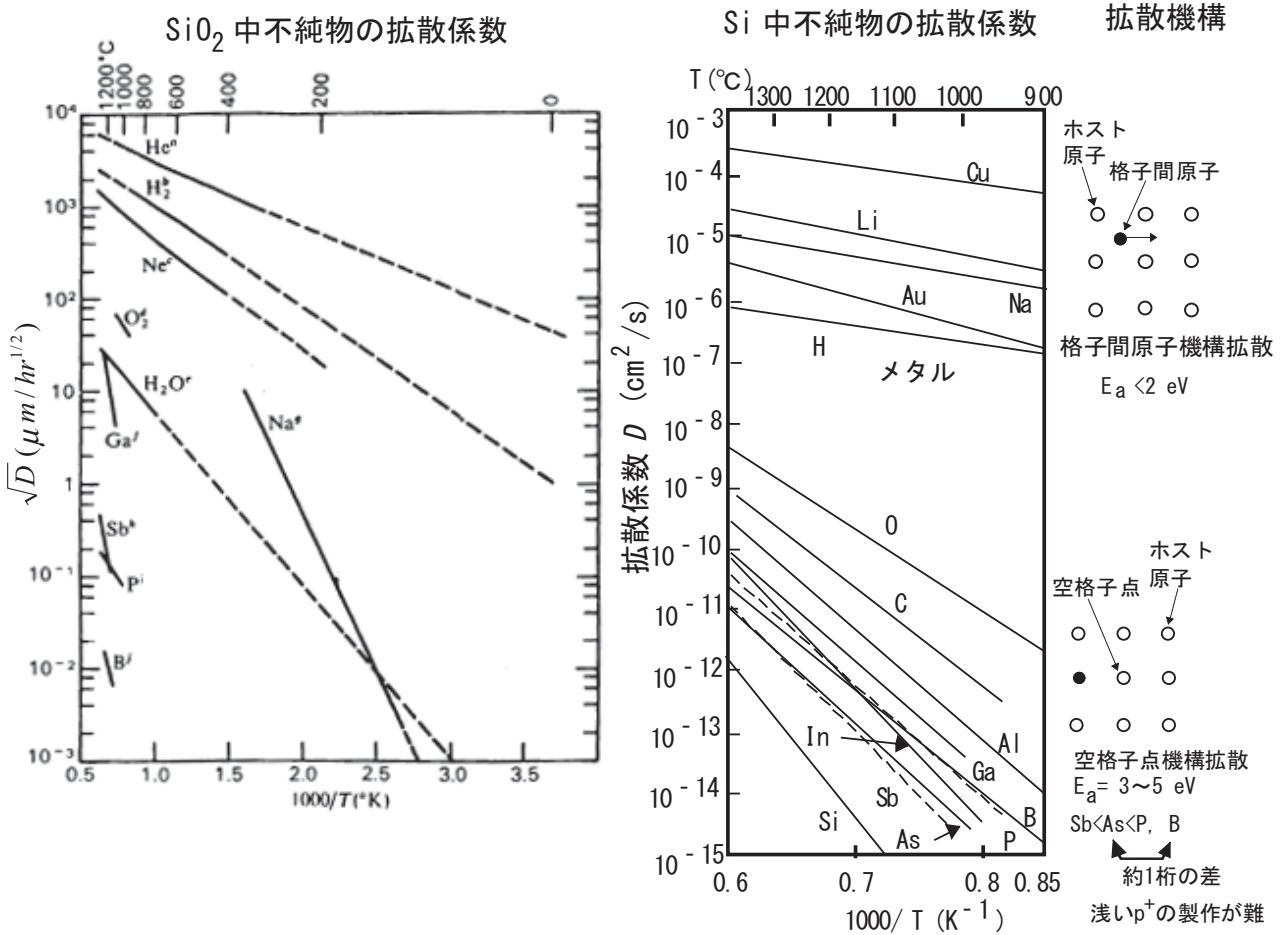


図 IV. 6. 6 SiO₂ 中および Si 中不純物の拡散係数と拡散機構

の2種類がある。格子間原子機構拡散は、結晶を構成する格子原子の間を不純物原子が拡散するもので、拡散係数は比較的大きく、その活性化エネルギーは通常 2eV 以下である。格子間原子機構拡散する原子には、Cu, Li, Na, Au, H などがある。一方、空格子点機構拡散は、不純物原子が格子原子と置換しながら拡散するもので、拡散係数は比較的小さく、活性化エネルギーは 3 ~ 5eV である。半導体プロセスで使用される、As, P, B などの原子はこの部類に属する。

図 IV. 6. 7 に拡散における 2 種類の分布を示す。不純物の拡散方程式は、次式で与えられる。

$$\frac{\partial n(x,t)}{\partial t} = D \frac{\partial^2 n(x,t)}{\partial x^2} \tag{IV-6-1}$$

境界条件が、表面濃度一定の場合には、図 IV. 6. 7(a) に示す補誤差関数が解になる。時間の経過と共に内部における不純物濃度が増大していく。一方、不純物総量一定の条件下では、解は図 IV. 6. 7(b) に示すガウス分布となる。時間の経過と共にピーク濃度が減少し、分布の幅が広がって行く。時間 t の熱処理後の分布は、 $\Delta R p^2$ の代わりに $(\Delta R p^2 + 2Dt)$ と置いたガウス分布で与えられる。表面濃度一定の場合、濃度が 1, 3, 5, 7 桁減少する深さは、それぞれ $2.3\sqrt{Dt}$, $4.6\sqrt{Dt}$, $6.2\sqrt{Dt}$, $7.5\sqrt{Dt}$ 、ガウス分布の場合、ピーク濃度から 1, 3, 5, 7 桁減少する深さは、ピーク位置からそれぞれ $3\sqrt{Dt}$, $5.2\sqrt{Dt}$, $6.8\sqrt{Dt}$, $8\sqrt{Dt}$ で与えられる。

結晶内の不純物原子の量には、それ以上置換型の原子として存在できない最大の量が存在する。これを固溶度と呼ぶ。Si 結晶における各種不純物元素の固溶度を図 IV. 6. 8 に示す。微細トランジスタには、電気抵抗が小さく浅いソース・ドレイン接合が必要である。これを形成するためには、拡散係数が小さく固溶度の大きい元素を用いる必要がある。As, P, B などが実際のデバイスに用いられるのは、これらの条件を満足するからである。

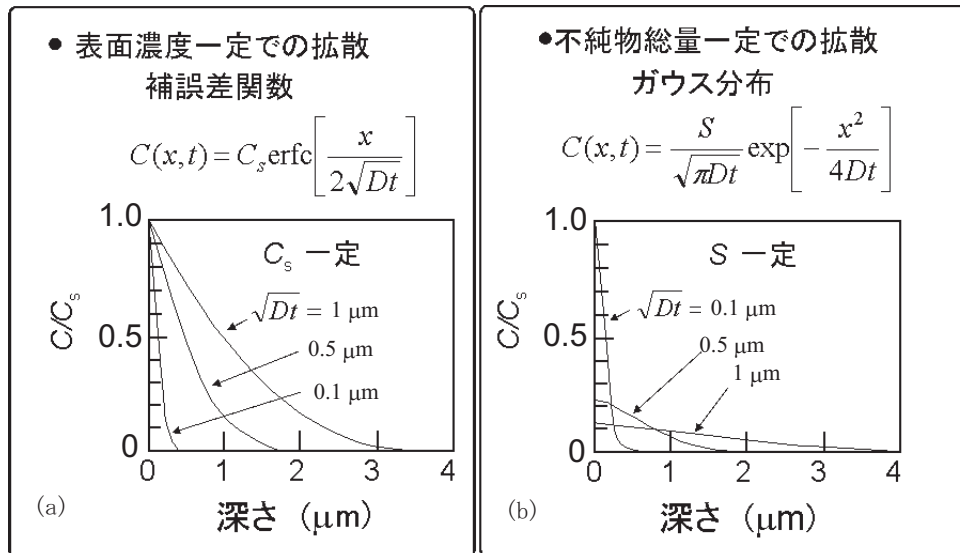


図 IV. 6. 7 不純物の拡散

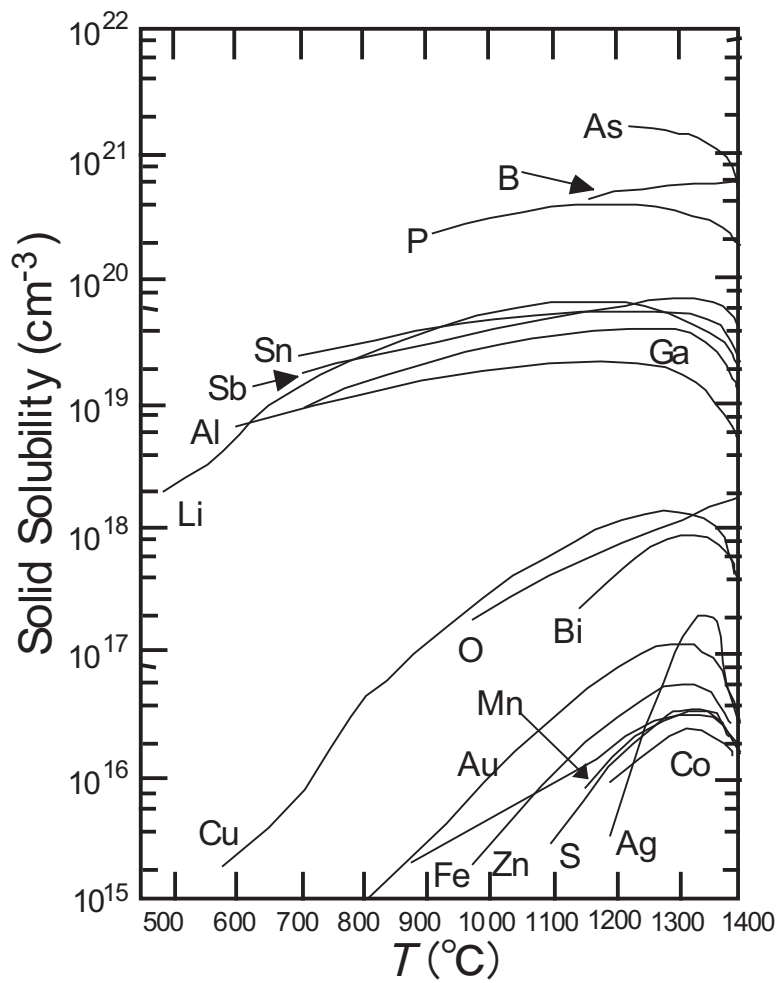


図 IV. 6. 8 Si 中の不純物の固溶度

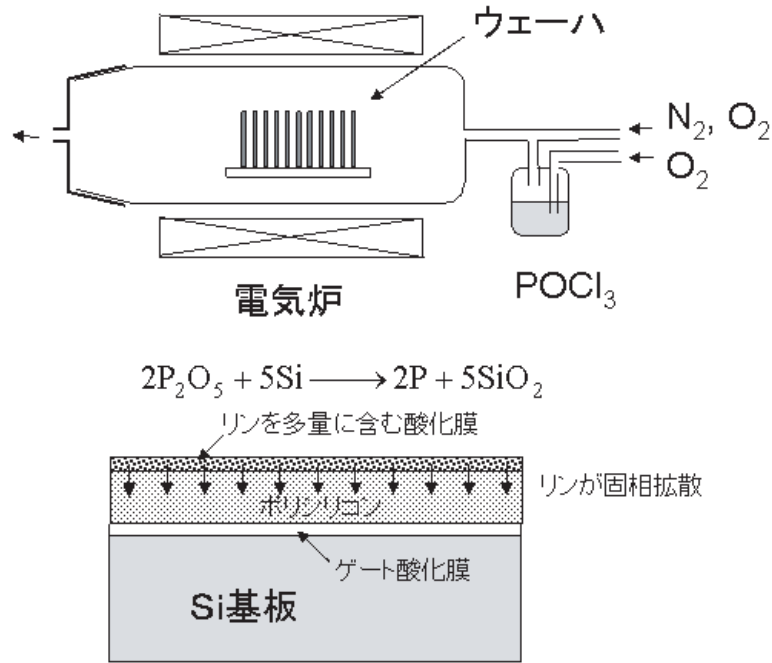


図 IV. 6. 9 燐の拡散

P の熱拡散装置の例とその拡散機構を図 IV. 6. 9 に示す。オキシ 3 塩化燐 (POCl_3 : 室温で液体) 中に窒素ガスをバブリングさせ、その蒸気を酸素ガスと共に電気炉に流す。ウェーハ表面で POCl_3 と O_2 が反応して 5 酸化燐 (P_2O_5 : 固体) の被膜が形成され、そこから Si 基板中に P 原子が拡散していく。

IV・6-2 イオン注入

熱拡散では、深い接合を形成するために、高温・長時間の熱処理が必要であり、生産コストの増大を引き起こすと同時に、目的とする不純物以外の不純物が混入する可能性も増大する。これに対してイオン注入では、室温で深い不純物分布が得られる。図 IV. 6. 10 にイオン注入装置の概略を示す。原料ガス (アルシン : AsH_3 、フォスフィン : PH_3 、ジボラン : B_2H_6 など) の高周波放電または熱電子励起によってイオンを生成し、初期速度 v まで加速した後分析用マグネットに入射させる。スリットにより目的とするイオンのみを選別する。初速度 v で磁束密度 B の分析用マグネットに入射した質量 m の一価イオンは、ローレンツ力によって曲率半径 $R=mv/qB$ の円弧軌道を描いた後スリットを通過する。軽いイオンはより短い曲率半径の軌道を描き、重いイオンはより長い曲率半径の軌道を描くため、いずれもスリットを通り抜けることができない。その後、加速、走査を行いウェーハ上に一様にイオンを照射する。

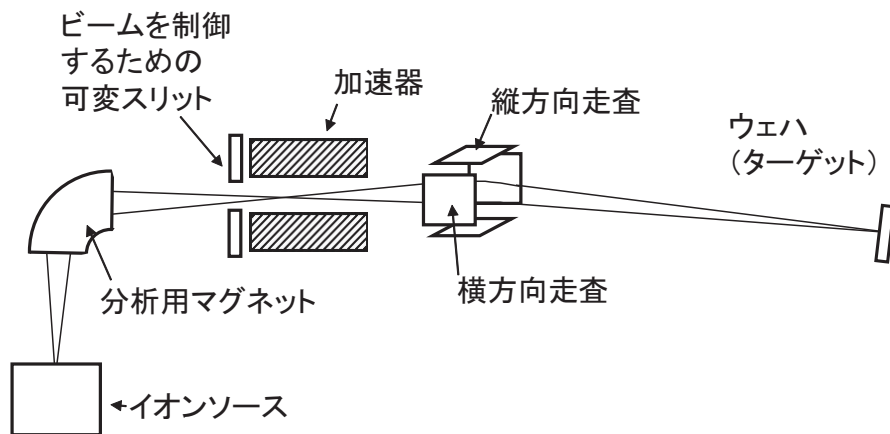


図 IV. 6. 10 イオン注入装置の概略

ウェハステージに接続した電流計によって打ち込まれたイオンの量をモニタする。イオン注入法の利点は次の3点に要約される。

- (1) 注入量が電氣的に正確にモニタ・制御できる。
- (2) 不純物分布の制御性・再現性が良い
- (3) 低温プロセスである。

一方欠点としては、次の点が上げられる。

- (1) 装置が大掛かりで高価
- (2) イオン注入後の結晶性回復のための熱処理（アニール）が必要

次に注入イオンの分布について述べる。図 IV. 6. 11 は Si 結晶に As イオンを注入したときの飛跡のモンテカルロシミュレーション結果の例である。平均衝突距離（平均自由工程）だけ進むと原子に衝突し、エネルギーの一部を失いアランダムな方向に散乱される、という工程を繰り返し、最後に停止する。その飛跡が図に示されている。図 IV. 6. 12 は LSS 理論の結果を示す。LSS 理論とは提案者の3名、Lindhard, Scharff, Schiott 氏の名に由来している。LSS 理論によれば、注入されたイオン密度 $n(x)$ は次に示すガウス分布を取る。

$$n(x) = \frac{S}{\sqrt{2\pi} \Delta R_p} \exp \left[-\frac{(x - R_p)^2}{2\Delta R_p^2} \right] \tag{IV. 6. 2}$$

ここに、 S は単位面積当たりのドーズ量、 R_p は射影飛程、 ΔR_p は射影分散である。注入イオンの入射方向は x 軸方向である。図に示すようにイオンの入射方向と垂直な方向にもガウス分布を取るが、そのときの分散 ΔR_{\perp} は ΔR_p とは異なる値を取り、横方向射影分散と呼ぶ。主なイオンの Si 結晶、 SiO_2 、及びレジスト中での射影飛程と射影分散 (Si については横方向射影分散も示す) のエネルギー依存性を図 IV. 6. 13 ~ IV. 6. 16 に示す。

ΔR_p と R_p の関係は、次式で近似される。

ここで、 M_i, M_t はそれぞれ、入射イオン及びターゲットイオンの質量である

[<http://slideplayer.com/slide/2412041/>].

$$\Delta R_p \cong \frac{2}{3} R_p \left[\frac{\sqrt{M_i M_t}}{M_i + M_t} \right] \tag{IV. 6. 3}$$

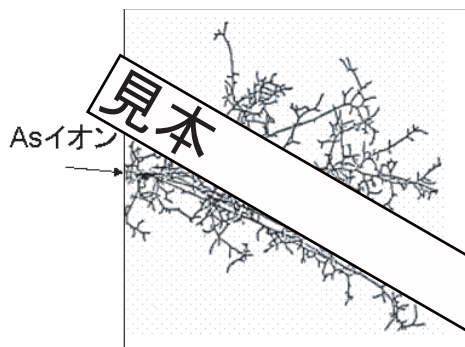


図 IV. 6. 11 注入イオンの軌跡

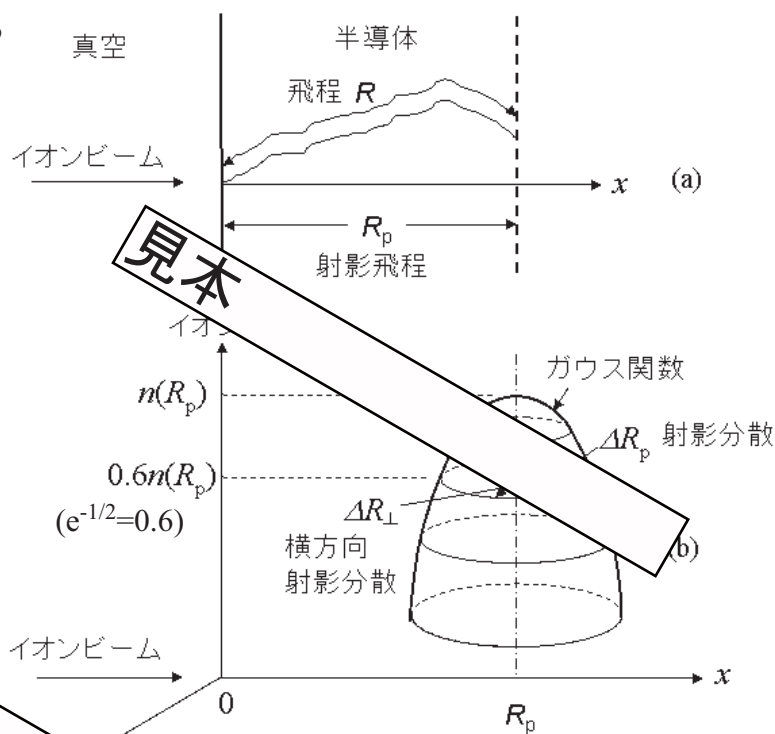


図 IV. 6. 12 イオン注入によるイオンの分布

射影飛程や射影分散はどのような機構によって決まるのであろうか。注入イオンが基板中でエネルギーを失う機構には図 IV. 6. 17 に示すように、(1) 原子核との衝突によるエネルギー損失と、(2) 電子との衝突によるエネルギー損失の 2 種類がある。式で示すと次式になる。

$$\frac{dE}{dx} = S_n(E) + S_e(E) \tag{IV. 6. 4}$$

ここに、 dE/dx は単位長当たりのエネルギー損失、 $S_n(E)$, $S_e(E)$ はそれぞれ、原子核との衝突および電子との衝突による単位長当たりのエネルギー損失であり、それぞれ核阻止能、電子阻止能と呼ばれる。従って、飛程 R は、

$$R = \int_0^R dx = \int_0^{E_0} \frac{dE}{S_n(E) + S_e(E)} \tag{IV. 6. 5}$$

主な原子に対する核阻止能および電子阻止能を図 IV. 6. 18 に示す。核阻止能は、注入イオンの大きさに依存し、大きなイオンほど大きく、小さいイオンに対しては小さい。一方電子阻止能は、元素の種類に関係なく 1 つの曲線で表せる。

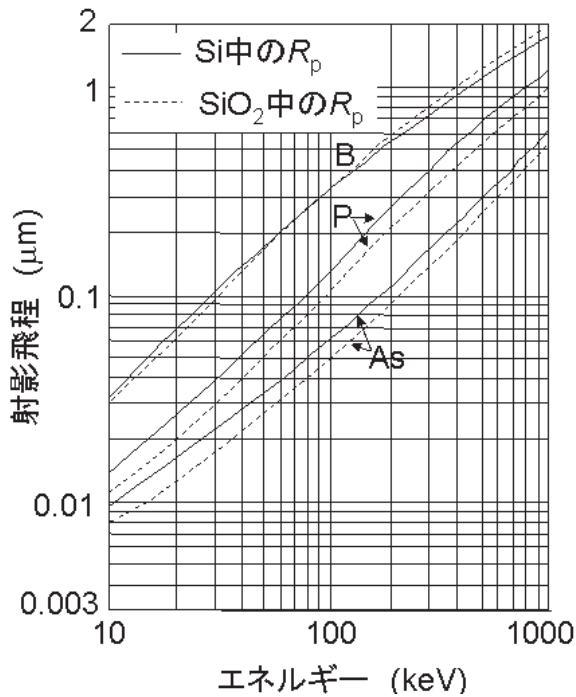


図 IV. 6. 13 注入イオンの射影飛程

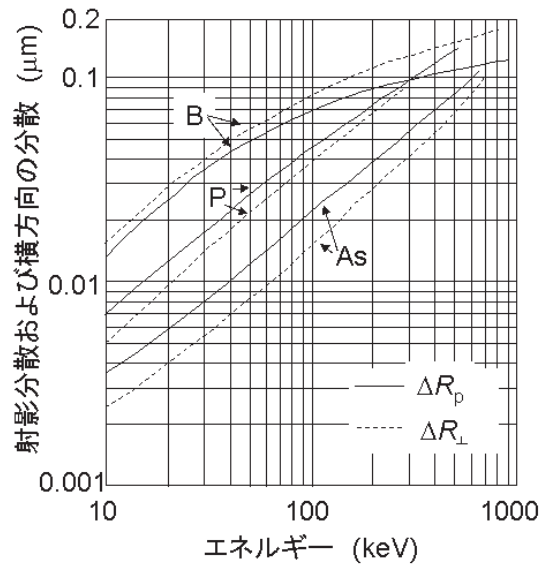


図 IV. 6. 14 Si 結晶中の注入イオンの射影分散

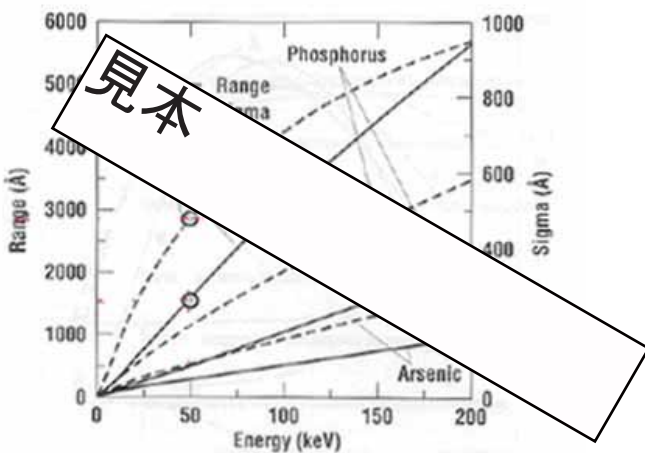


図 IV. 6. 15 SiO₂ 中のイオンの射影飛程及び射影分散

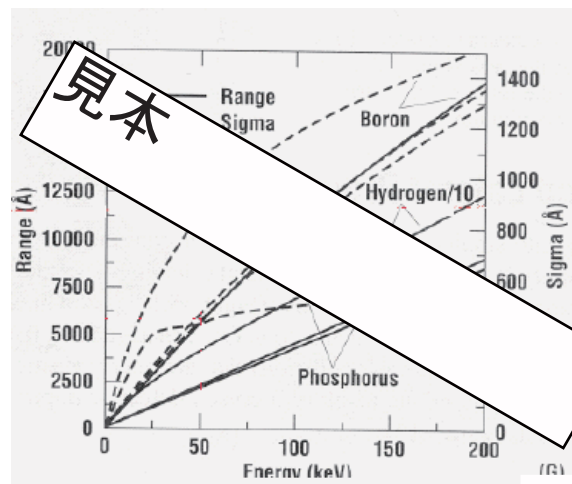


図 IV. 6. 16 レジスト中のイオンの射影飛程及び射影分散

図 IV. 6. 15, 16 出典 http://www-mtl.mit.edu/researchgroups/hackman/6152J/SP_2004/lectures/sp_2005_Lecture07.pdf

核阻止能を考えるための核衝突の模式図を図 IV. 6. 19 に示す。エネルギー保存と運動量保存法則を両立させて解くと、

$$\frac{1}{2}M_2v_2^2 = \left[\frac{4M_1M_2}{(M_1 + M_2)^2} \right] E_0 \tag{IV. 6. 6}$$

ここに、 M_1, M_2 はそれぞれ入射および結晶格子原子の質量、 E_0 は入射イオンのエネルギー、 v_2 は衝突後の M_2 の速度である。この式より核阻止能は入射イオンのエネルギーに比例する。図 IV. 6. 16 において低エネルギー領域でエネルギー損失が増大する部分がこの領域に相当する。エネルギーが大きくなると、核阻止能は減少する。その理由は、イオンの速度が大きくなり十分に相互作用する時間がなくなるためである。

一方、電子阻止能は、次式で与えられる。

$$S_e(E) = k_e \sqrt{E} \tag{IV. 6. 7}$$

ここで、 k_e は比例定数で、イオンの価数に依存する。電子阻止能は、入射イオンの質量には無関係で、イオンの速度に比例することを意味している。図 IV. 6. 18 に電子阻止能を点線で示した。

軽いイオンの場合は電子阻止能が支配的であり、重いイオンでは核阻止能が支配的であることが分かる。

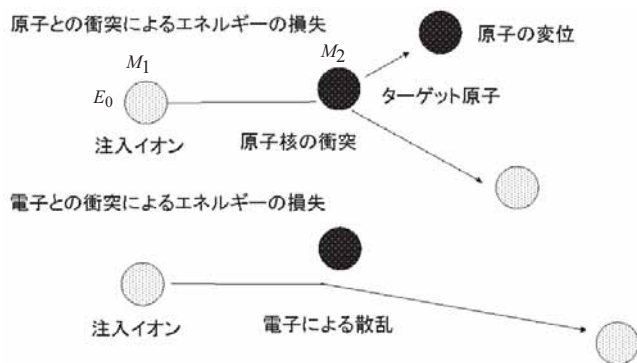


図 IV. 6. 17 注入イオンのエネルギー損失の機構

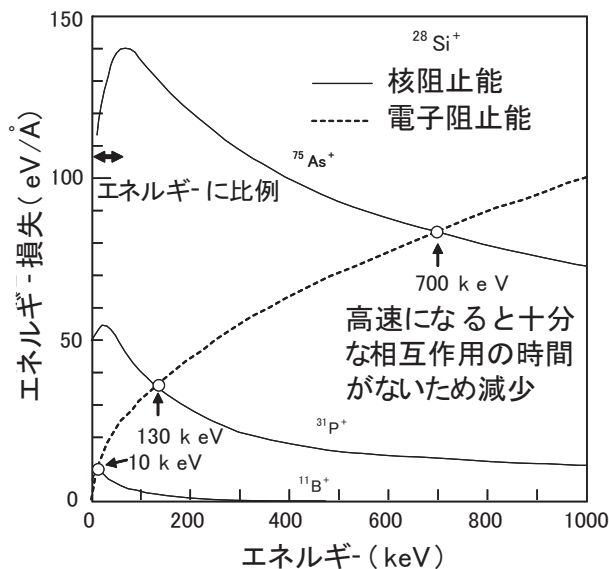


図 IV. 6. 18 注入イオンのエネルギー損失

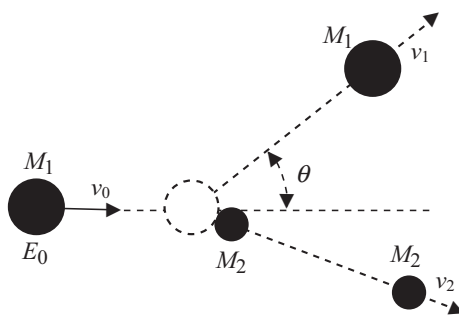


図 IV. 6. 19 注入イオンのエネルギー損失

イオン注入では、一定の方向に加速されたイオンを結晶に入射させるため、イオンが結晶の整然と並んだ原子の隙間を通して深い部分まで到達する「チャネリング」という現象がある。図 IV. 6. 20 は Si 単結晶を $\langle 110 \rangle$ 方向から見たときの図である。六角形の隙間が結晶基板の表から裏まで貫通している様子が分かる。加速されたイオンをこの方向に入射させると、イオンは図 IV. 6. 13 に示した射影飛程以上に深部まで到達する。図 IV. 6. 21 は、リンイオンを Si 単結晶の $\langle 100 \rangle$ 方向に平行に注入させた場合の分布である。図 IV. 6. 13 より、40keV のリンイオンの射影飛程は $0.05\mu\text{m}$ であるのに対して、図 IV. 6. 21 のリンの分布は、ドーズ量が $1.2 \times 10^{13} \text{cm}^{-2}$ と低い場合には、 $0.8\mu\text{m}$ と 10 倍以上深く分布している。ドーズ量を増加させていくと分布は浅くなる。その理由は、ドーズ量が低い場合にはチャネリングが起こっているが、ドーズ量が大きくなると入射リンイオンによって結晶が破壊されてアモルファスになりチャネリングが抑制されるためと考えられる。入射イオンが結晶中のチャンネルとなす角度を ψ とすると、チャネリングが起こる条件は、

$$\psi < \psi_0 (\text{臨界角}) \quad (\text{IV} \cdot 6 \cdot 8)$$

$$\psi_0 \propto \frac{1}{\sqrt{E_0}} \quad (\text{IV} \cdot 6 \cdot 9)$$

チャネリング現象は、浅い接合を形成したい時には不都合である。これを防止するために、原子の配列がランダムに見える方向からイオンを入射する。例えば、 $\langle 100 \rangle$ 方向から 7 度ほど傾いた方向からイオンを入射する。また、不純物をイオン注入する前に、Si をイオン注入し表面をアモルファス化（プリアモルファス化と呼ぶ）してから不純物をイオン注入する方法も使われる。

図 IV. 6. 22 にイオン注入装置の写真を示す。

イオン注入により結晶は破壊されアモルファスになる。これを元の結晶に戻すために $800\text{--}1000^\circ\text{C}$ の熱処理（アニール）が必要である。図 IV. 6. 23 に各種アニール技術とその処理時間を示す。浅い接合を形成するために、レーザ、ランプ、電子ビームなどを用いた短時間アニール技術が開発されている。

イオン注入技術の課題として、次のことが挙げられる。

- (1) 誘起欠陥による増速拡散の抑制
- (2) 低エネルギーでの大電流化
- (3) チャージング対策
- (4) 注入量の高精度測定

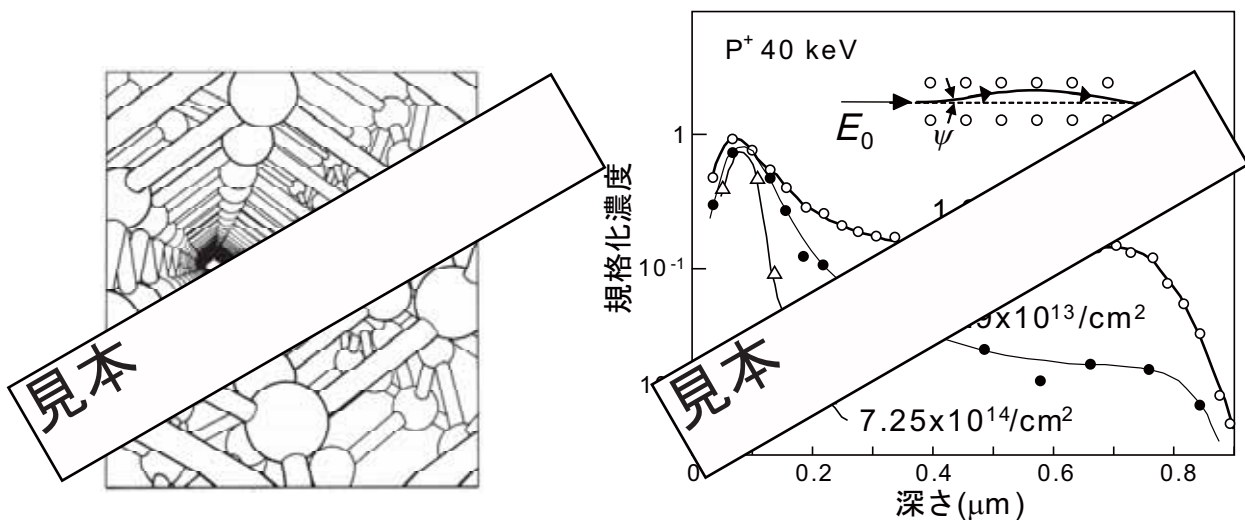


図 IV. 6. 20 チャネリングの通路、Si $\langle 110 \rangle$ 方向から見たチャンネル

図 IV. 6. 21 チャネリングによる不純物分布の差



図 IV. 6.22 イオン注入装置の写真

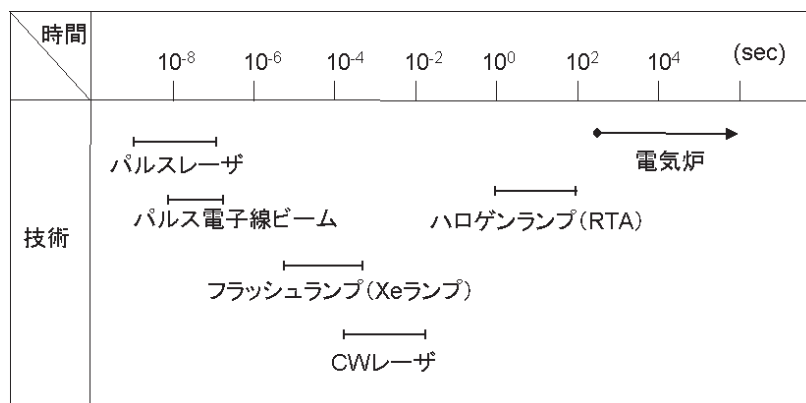


図 IV. 6.23 イオン注入後の結晶性回復のための熱処理技術

IV・6-3 不純物の再分布

デバイス作製工程の中では、イオン注入や不純物の熱拡散の後で、酸化処理を行うことがしばしばある。この場合に、不純物の分布が大きく変わる場合があるので注意を要する。図 IV. 6.24 に酸化に伴う不純物の再分布の様子を示す。 C_B はシリコンバルク（内部奥深く）中の、 C は任意深さにおける不純物濃度である。偏析係数 k と、 SiO_2 中での拡散速度の大小の組み合わせで、4つのパターンある。偏析係数 k は、 $k = (\text{Si 中の平衡状態での不純物濃度}) / (\text{SiO}_2 \text{ 中の平衡状態での不純物濃度})$ で定義される。P の場合は SiO_2/Si 界面の Si 側で濃度が増大し、B の場合は減少する。特に水素雰囲気中で熱処理を行うと B の濃度は著しく減少する。

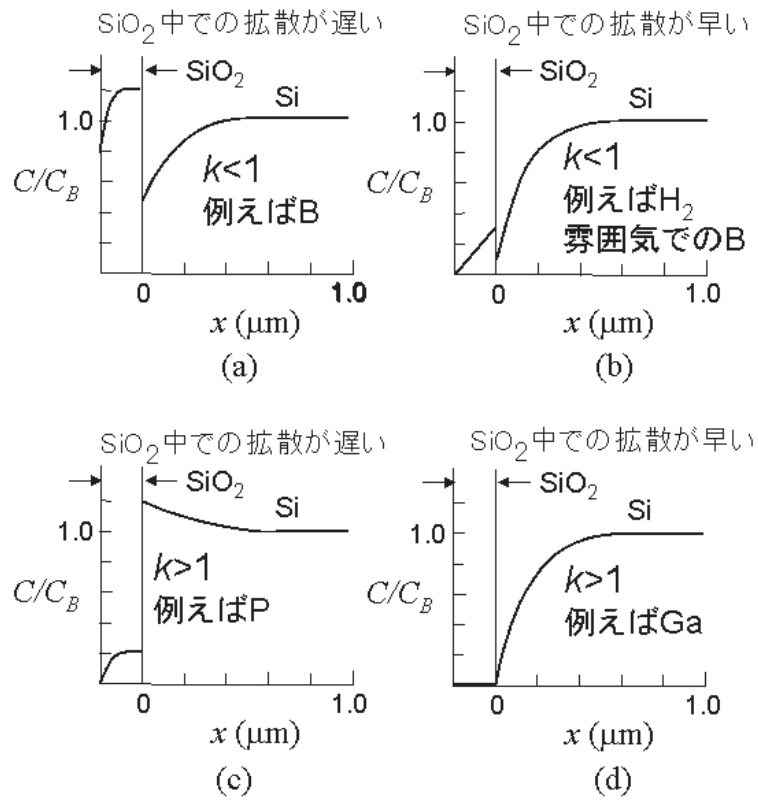


図 IV. 6.24 酸化に伴う不純物の再分布

IV・7 配線

トランジスタが微細化し、そのスイッチング速度が十分向上したため、現在のLSIの処理速度は、配線の信号遅延によってほぼ決まるようになってきた。図IV.7.1はコンピュータの中央演算処理装置(Central Processing Unit: CPU)のクロック周波数の年次推移を示す。2003年以降クロック周波数が飽和傾向にあることがわかる。この原因は、

- (1) 配線の信号遅延があるためクロック周波数をこれ以上あげることが難しいこと、および
- (2) クロック周波数を上げるとCPUの消費電力が増大するためである。

この章では、配線について学ぶ。消費電力については、次章で述べる。

IV・7-1 金属配線の信号遅延

図IV.7.2はLSIの断面構造の模式図である。現在のLSIでは、複雑な配線を小面積内で結線するために、多層(2層～10層)の構造を採っている。従来はAl配線が主流であったが、高性能が要求されるLSIでは、抵抗の低いCu配線が用いられている。CuはSiやSiO₂内での拡散が非常に大きいため、図に示すようにCuの拡散を阻止するTa, TiN, TaNなどのバリアメタルを界面に敷いている。

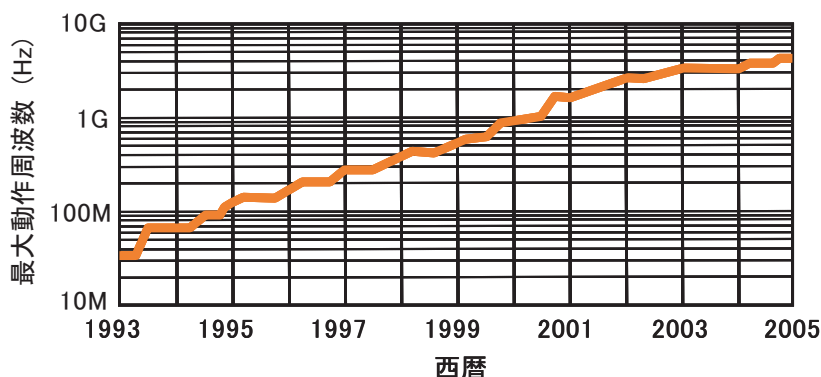


図 IV.7.1 CPUのクロック周波数の推移 出展：NIKKEI MICRODEVICES June 2004. p. 30.

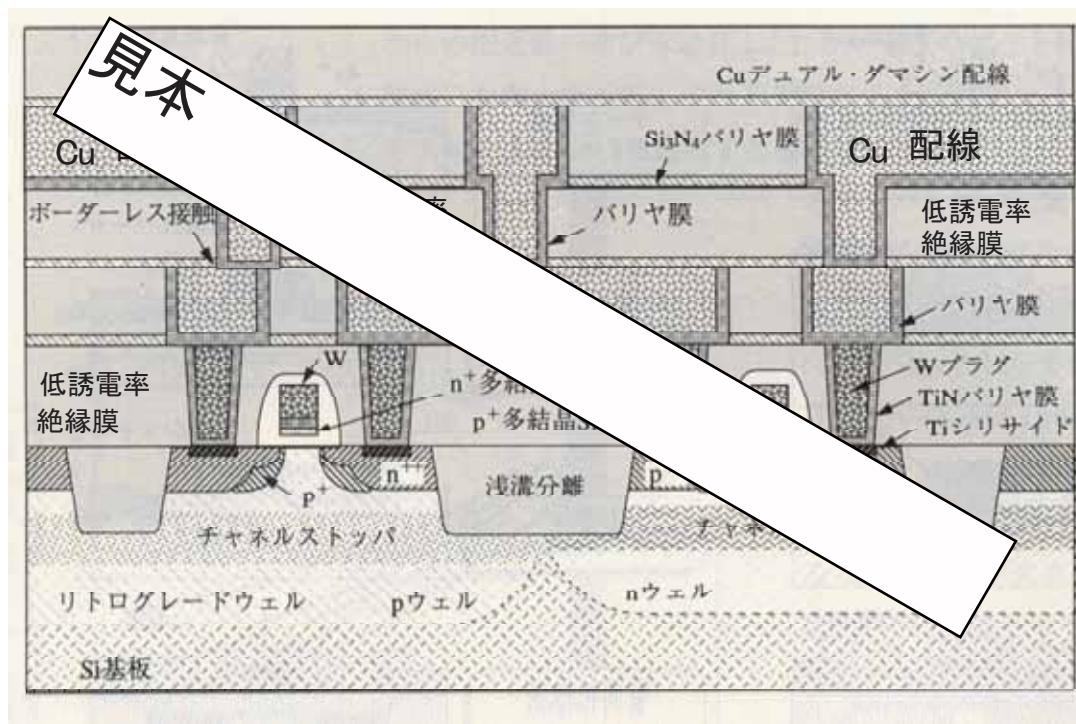


図 IV.7.2 LSIの断面 出展：次世代ULSIプロセス技術、廣瀬全孝 他編 p. 42、REALIZE INC. 2000.



図 IV. 7. 3 LSI の配線の鳥瞰電子顕微鏡写真

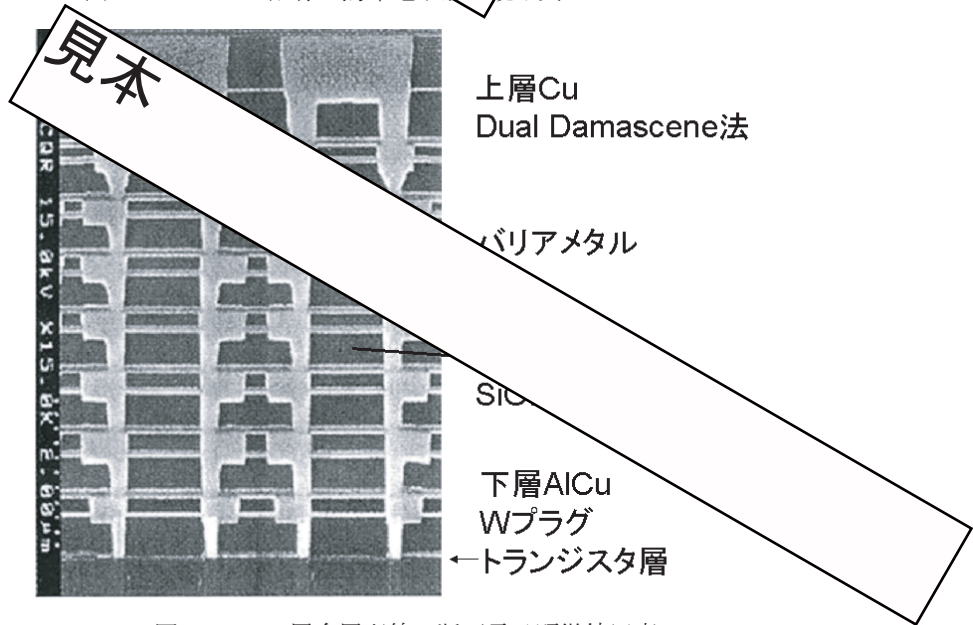


図 IV. 7. 4 8層多層配線の断面電子顕微鏡写真

また、層間絶縁膜には誘電率の小さい絶縁膜を用いる必要がある。さらに、メタルの接触部の信頼性を確保するために、層間絶縁膜には機械的強度も必要である。柔らかい層間絶縁膜を用いると、内部ひずみによる金属配線の「そり」を抑えることができず、配線の信頼性が劣化する。図 IV. 7. 3 は層間絶縁膜を化学処理によって取り除いた後の多層配線の走査電子顕微鏡写真である。層間絶縁膜を取り除いたことにより、一部の金属配線の端の部分が上に反っていることが分かる。図 IV. 7. 4 は8層の金属配線 LSI の断面を示す。CMP によって各配線層の上面がきれいに平坦化されている。層間絶縁膜には、 SiO_2 より誘電率の低い F ドープ SiO_2 が使用されている。トランジスタ直上の配線には Cu より拡散係数の低い AlCu 合金を使用し信頼性を上げている。また、トランジスタと AlCu 配線の接続には、層間絶縁膜の穴に W を埋め込んだ W プラグが使用されるのに対して、上層では、層間の接続と配線層を Cu で同時に埋め込む Dual Damascene 法（後述）が用いられている。

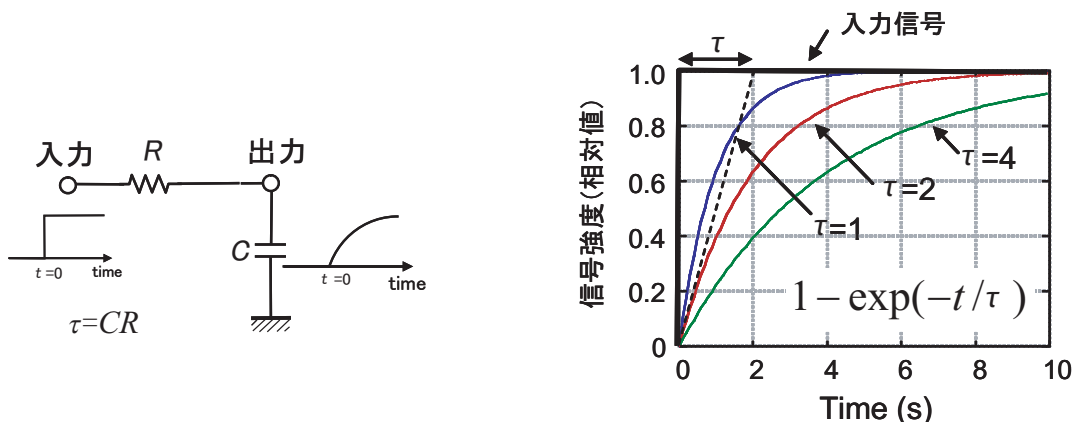


図 IV. 7. 5 集中定数回路の信号伝搬遅延と時定数

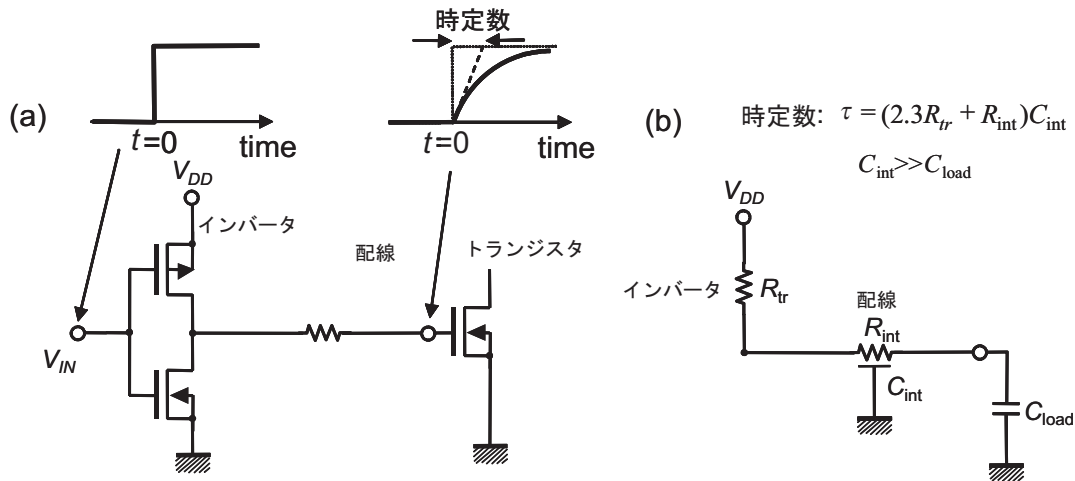


図 IV. 7. 6 配線による遅延時定数

図 IV. 7. 5 に抵抗 R と容量 C の直列集中定数回路に、ステップ関数状の入力電圧 V_{in} を印加した場合の出力電圧 V_{out} を示す。時定数 (time constant) $\tau=RC$ とすると、出力電圧は次式となる。

$$V_{out} = V_{in}(1 - \exp(-t/\tau)) . \tag{IV. 7. 1}$$

LSI 内の回路の配線は、図 IV. 7. 6 に示すように、抵抗が R_{int} 、容量が C_{int} の分布定数線路である。pMOS トランジスタの ON 抵抗を R_{tr} 、負荷容量を C_{load} とすると、 $C_{int} \gg C_{load}$ の場合、遅延時間は次式で与えられる。

$$\tau = (2.3R_{tr} + R_{int})C_{int} . \tag{IV. 7. 2}$$

・ LSI 長距離配線におけるリピータ

配線距離が長くなると、(IV. 7. 2) において R_{tr} は R_{int} に対して無視でき、 $\tau \approx R_{int}C_{int} \propto (\text{配線距離})^2$ と、配線距離の 2 乗で遅延時間が長くなり大問題となる。この問題を解決するために、LSI 内の長い配線(クロック信号ラインやバスライン) に対しては、なまった波形を矩形に整形するインバータ (リピータと呼ぶ) を挿入する。図 IV. 7. 7 にリピータを挿入した配線を示す。

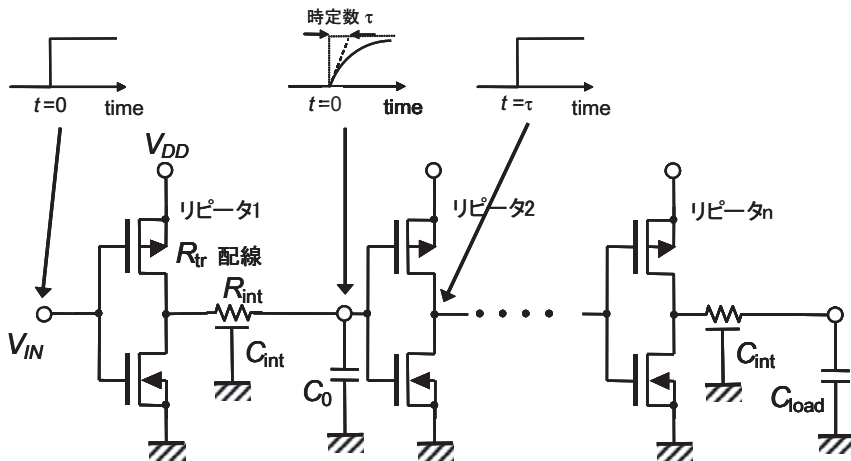


図 IV. 7. 7 リピータによる配線遅延の低減

リピータを n 個挿入した時の配線遅延時間 τ' は次式で与えられる。

$$\tau' = n(2.3R_{tr} + R_{int}/n)(C_{int}/n + C_0) \tag{IV. 7. 3}$$

ここで、 C_0 はリピータの入力容量である。(IV. 7. 3) は、 $n = \sqrt{R_{int}C_{int}/2.3R_{tr}C_0}$ の時、次式で与えられる最小値をとる。

$$\tau' = 2\sqrt{2.3R_{int}C_{int}R_{tr}C_0} + 2.3R_{tr}C_{int} + R_{int}C_0 \tag{IV. 7. 5}$$

この式の中の各項は、全て配線距離に比例し、配線距離に比例した遅延時間となる。

遅延時間を短くするためには、抵抗と容量を共に小さくする必要がある。そのためには、以下の必要性がある。

- (1) 抵抗率の低い配線材料を用いる
- (2) 可能な限り太く短く配線する
- (3) 配線間の絶縁材料に誘電率の小さいものを用いる
- (4) 配線間隔を可能な限り広く取る

主な低抵抗金属の 20°C における抵抗率を以下に示す。

Al	$2.75 \times 10^{-8} \Omega \cdot m$
Au	$2.4 \times 10^{-8} \Omega \cdot m$
Cu	$1.72 \times 10^{-8} \Omega \cdot m$
Ag	$1.62 \times 10^{-8} \Omega \cdot m$

Cu は Al に比べ約 40% 抵抗率が低い。Ag は Cu と 5% しか変わらず、高価でさびやすくエレクトロマイグレーション耐性(後述)も低いのであまり適さない。Au の抵抗率は Al と 13% しか変わらず、高価である。

IV・7-2 配線におけるスケージング則

配線におけるスケージング則を表 IV. 11 に示す。配線幅、長さ、厚さ、層間膜厚をすべて $1/K$ にすると、配線材料を変えない限り、抵抗は K 倍に増加する。容量は $1/K$ になるので、両者の積で決まる遅延時間は変化しない。一方、トランジスタを微細化すると、III 章の表 III. 3 に示すように、回路当たりの遅延時間 CV/I は $1/K$ になることと対照的である。即ちトランジスタの動作速度が速くなっても、配線による遅延時間は短くならないため、回路の処理速度は向上しないことになる。半導体のスケージングのように、金属材料のキャリア濃度を K 倍(即ち抵抗率を $1/K$) にできれば、抵抗は 1 倍、容量は $1/K$ となり、配線の遅延時間も $1/K$ となるが、その条件を満たし続ける材料は存在しない。そこで、表 IV. 11 右端の欄に示すように、平面方向のみのサイズを $1/K$ にし、垂直方向の配線膜厚、層間膜厚を変化させないスケージング則が用いられる。こうすると、抵抗は 1 倍、層間の容量は $1/K^2$ となり、遅延時間は $1/K^2$ となる。しかし、同じ層の配線間の容量 $C_{LL} \propto LH/W$ は、 $1/K$ となる。従って、単位長当たりの容量についてみると、図 IV. 7.8 に示すように、サイズ縮小と共に横方向の配線間容量が増大する。このことは、トランジスタ間を短距離で結ぶ局所的な(ローカル)配線では問題とならないが、LSI チップ全体にわたって結線する長距離のグローバル配線(例えばクロック分配)にとっては大問題となる。図 IV. 7.9 に CPU における局所クロック周波数とチップ全面クロック周波数の年次推移を示した。上記の単位長当たりの配線間容量の増大がチップ全面クロック周波数の飽和の原因である。この問題を解決するために、多層配線が採用され、また、層間絶縁膜の低誘電率化の研究が活発に行われている。

表 IV. 11 配線におけるスケージング則

	記号	すべてを $1/K$	平面方向のみを $1/K$
配線幅、長さ	W, L	$1/K$	$1/K$
配線膜厚	H	$1/K$	1
層間膜厚	T	$1/K$	1
電圧	V	$1/K$	$1/K$
電流	I	$1/K$	$1/K$
容量	$C = \epsilon LW/T$	$1/K$	$1/K^2$
配線抵抗	$R = \rho L/WH$	K	1
配線電圧降下比	$r = iR/V$	K	1
配線電流密度	$j = i/WH$	K	1
配線遅延時間	$\tau_e = RC$	1	$1/K^2$
ゲート遅延時間	$\tau_g = C_g V/I$	$1/K$	$1/K$

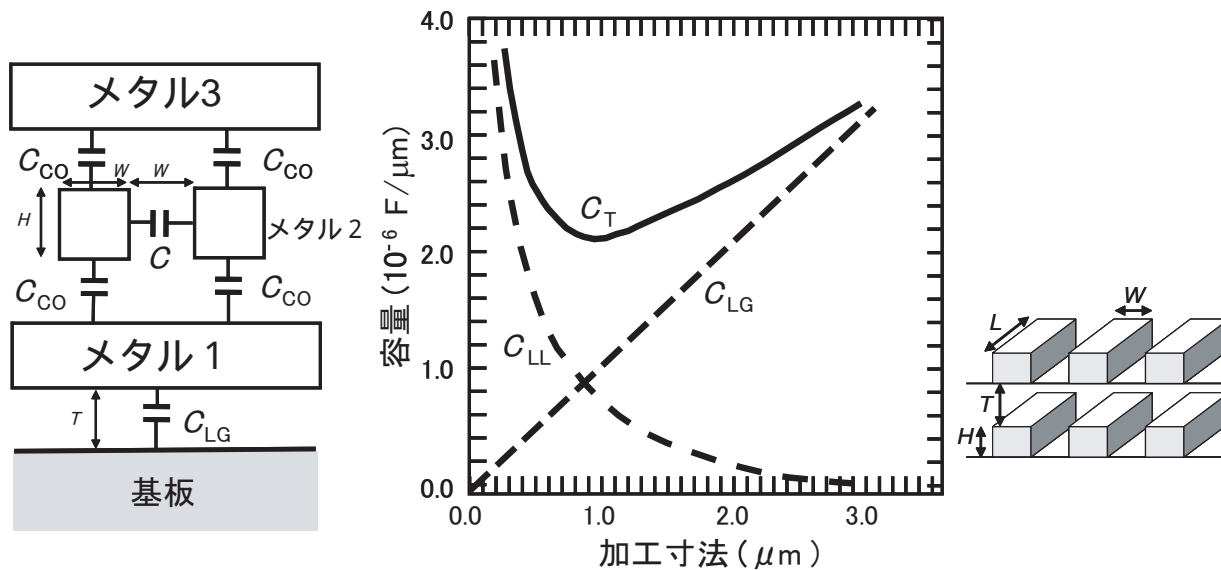


図 IV. 7. 8 多層配線における容量の加工寸法依存性
出典：出水清史 監修 半導体プロセス教本 SEMI ジャパン (2002).

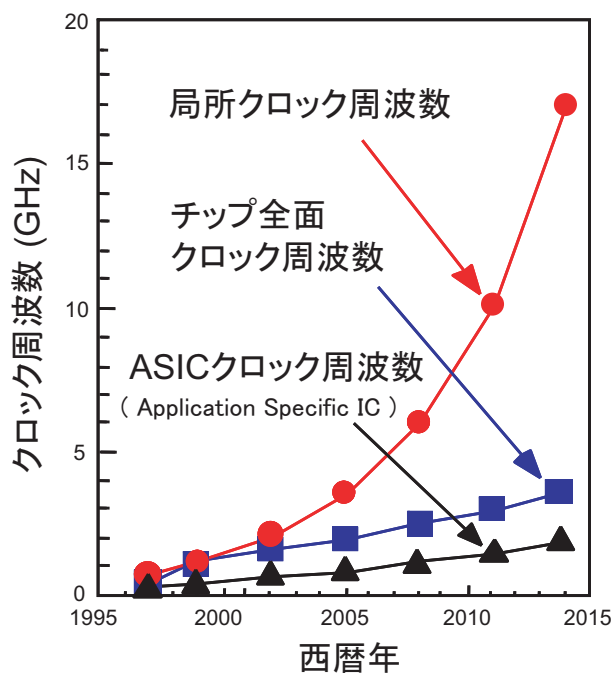


図 IV. 7. 9 CPU における局所クロック周波数とチップ全面クロック周波数。
特定用途 IC (ASIC) のクロック周波数も参考に載せた。
出典：吉川公磨 応用物理第 68 巻第 11 号 (1999), p. 1215.

IV・7-3 配線のプロセスコスト

図 IV. 7. 10 に LSI の製造コストの内訳を示した。単純な繰り返しパターンが主であるメモリでは、トランジスタ部分製造コストの方が配線プロセスコストより高い。しかし、複雑な配線が必要なロジック LSI では配線コストの方が高くなっている。この傾向は、微細化が進みトランジスタ数が増すほど顕著になっている。最先端の LSI では、図 IV. 7. 4 に示すように 8 層以上の多層配線が用いられている。多層にすることによって、ひとつの面内での配線密度を減少させることができるので、先の C_{LL} の問題を回避できる。

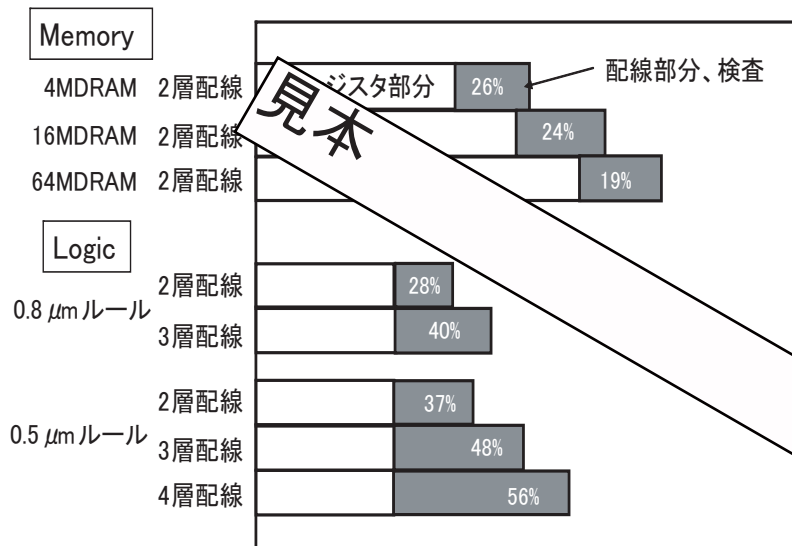


図 IV. 7. 10 LSI のプロセスコストの内訳
 出典：出水清史 監修 半導体プロセス教本 SEMI ジャパン (1999).

IV・7-4 金属配線材料・シリサイド

図 IV. 7. 11 は配線に用いられる各種金属の相対信頼度（切れにくさ）と抵抗率を示す。AlにCu、Ti、Pdなどを添加することにより高電流密度でも切れにくい配線が得られる。AlにSiを添加するのは、Alと基板Siの反応を抑制するためである。また、TiNなどの金属でAlを裏打ちし多層構造にすることによっても信頼性が向上する。Wは重い元素なので電子風による断線（エレクトロマイグレーション）が起きにくい、抵抗が高いため、短距離配線として層間をつなぐプラグ材料として使用されている。Cuは切れにくく抵抗も低いので配線材料として使われているが、SiやSiO₂中での拡散係数が極めて高いので、バリアメタルで保護する必要がある。Auも切れにくく抵抗も低い、高価でSi中での拡散係数が大きいので配線材料としては使用されない。しかし、微量のAuをSi中に拡散させキャリアの寿命を短くする目的で使われる。図 IV. 7. 12 は配線材料（金属およびシリサイド：Siと金属との合金）の許容プロセス温度と抵抗率を示す。Alの耐熱温度は450℃と低いので、製作工程の最後にしか用いることができない。Wは抵抗は高いが、微細なコンタクトホールを比較的容易に埋めることができる

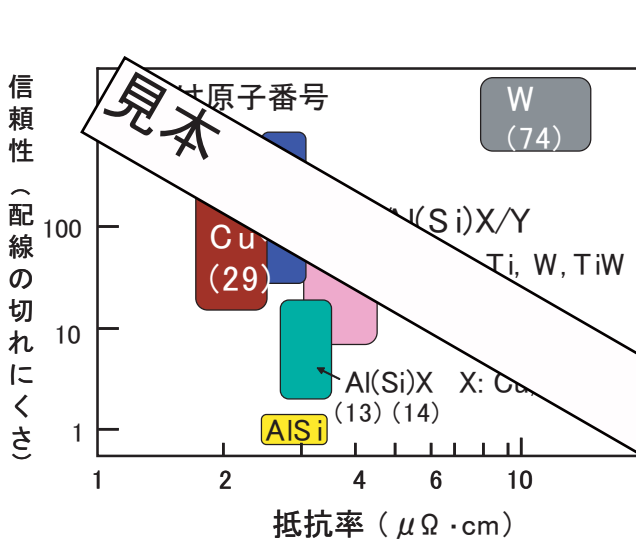


図 IV. 7. 11 各種金属と抵抗率と信頼性（配線の切れにくさ）
 出典：出水清史 監修 半導体プロセス教本 SEMI ジャパン (1999).

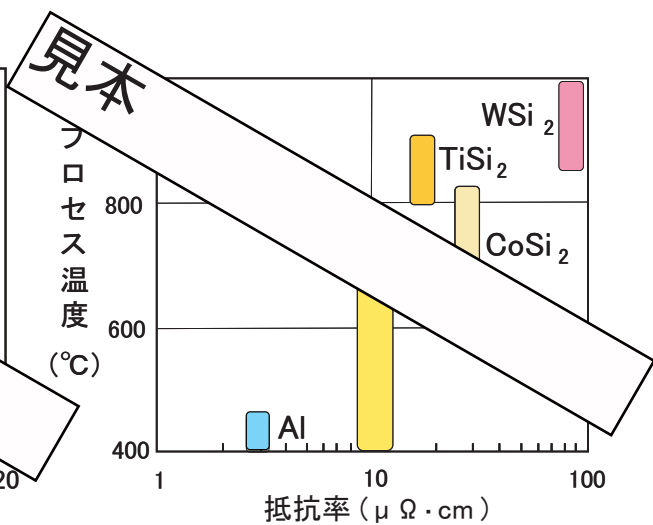


図 IV. 7. 12 各種金属の抵抗率と許容プロセス温度
 出典：出水清史 監修 半導体プロセス教本 SEMI ジャパン (1999).

表 IV. 12 シリサイド材料の物性

	TiSi ₂	CoSi ₂	NiSi	PtSi
抵抗率(μΩ・cm)	13 (C54) 200~500 (C49)	18	14	28
細線効果	あり	なし	なし	なし
熱安定性(°C)	900	850	550	(800)

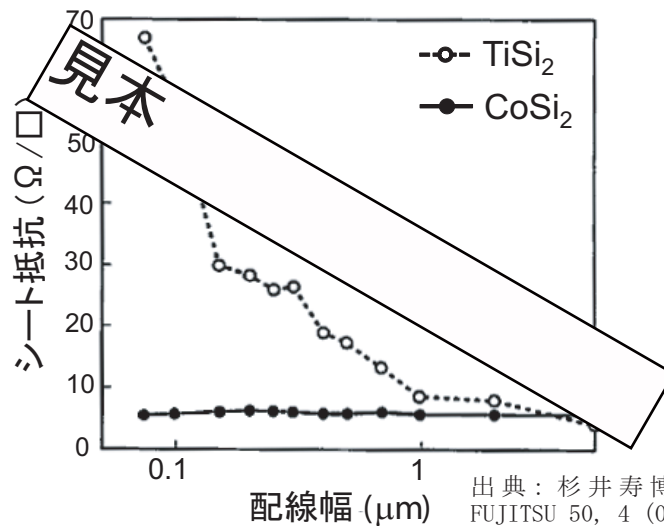


図 IV. 7. 13 細線効果

ので、第1層目の配線のコンタクトホールプラグとして用いられる場合がある。TiSi₂、CoSi₂などは、耐熱温度が高く抵抗が多結晶Siより低くできるので、多結晶Siゲートやソース・ドレインの上部に形成され、電気抵抗を減少させるために使われる。シリサイドは耐熱温度が高いため、多結晶Siゲート同じように高温にさらすプロセスで使用できる。表IV.12に各種シリサイドの抵抗率を示す。ここに、細線効果とは、シリサイド配線の幅が狭くなったとき、別の結晶相に変化して抵抗が大きくなる現象である(図IV.7.13)。TiSi₂は、C54と呼ばれる結晶相は低抵抗だが、配線幅が減少すると図に示すようにC49と呼ばれる高抵抗率(200~500μΩ・cm)の結晶相に変化する。一方CoSi₂は配線幅が縮小してもシート抵抗が変化しない。

IV・7-5 エレクトロマイグレーション

図IV.7.14に示すように、LSI内の配線は、家庭内の電気配線に比べ、回路の集積度を高めるために、大きい場合で500倍もの大きな電流密度で使用されている。また機械的ストレスも大きく、高速動作するロジックLSIでは発熱も大きい。このような過酷な条件下でも断線しにくい、信頼性の高い配線が必要である。エレクトロマイグレーションとは、図IV.7.15に示すように、電子風によって配線用金属原子が移動し、配線にポイド(欠け)が生じたり断線する現象である。Al配線では電流密度が $5 \times 10^5 \text{A/cm}^2$ を越えるとエレクトロマイグレーションが顕著になる。通常使用される金属は多結晶である。図のように結晶の構造が変化する界面では、エレクトロマイグレーションによる原子移動量が不均一になり、ポイドができたりヒロック(小山:移動した原子が溜まった部分)ができたりする。原子移動は粒界に沿って起こるため、特に3重点と呼ばれる粒界が3本交わった部分に特定方向の電流が流れると、その部分から運び去られる原子の量が流入する原子数より多くなるためポイドができやすい(図IV.7.16)。配線幅を狭くしていくと、ある幅より狭い領域で配線寿命が増大する現象が現れる(図IV.7.17)。この原因は、配線幅が狭くなると、図に示したように、バンブー構造と呼ばれる、

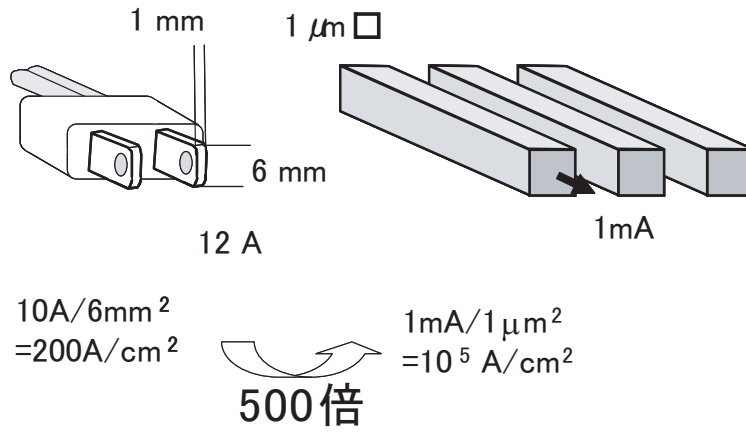


図 IV. 7. 14 家庭配線と LSI 内配線の電流密度の比較

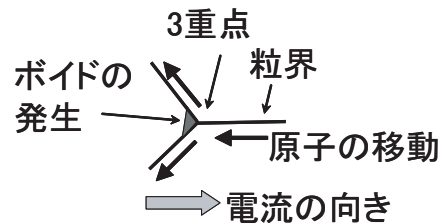
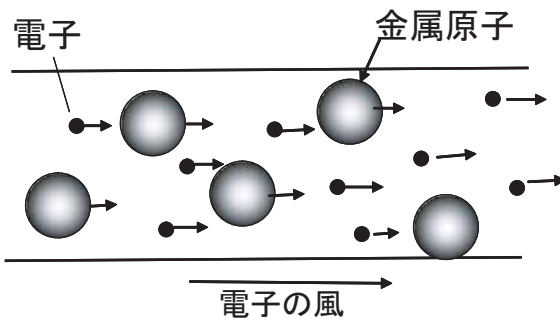
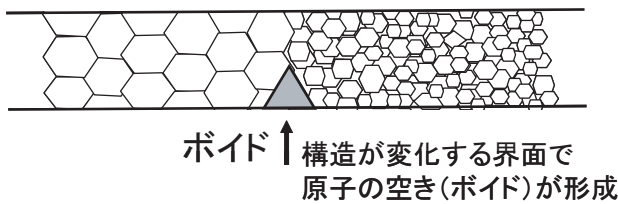


図 IV. 7. 16 3 重点でのボイド発生



配線寿命 $MTF = A j^{-n} \exp(E_a / kT)$

j : 電流密度 n : ~2

E_a : 活性化エネルギー

図 IV. 7. 15 エレクトロマイグレーションの機構と温度・電流依存性

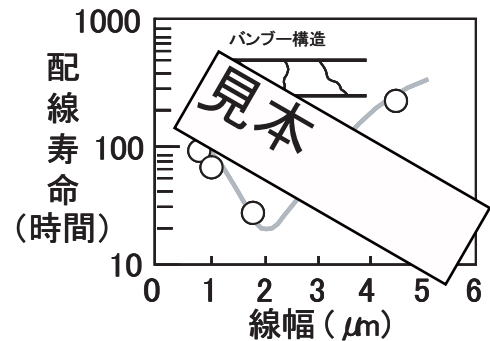


図 IV. 7. 17 配線寿命の線幅依存性。2 μ m 以下で配線寿命が長くなるのは、バンパー構造になり、粒界が減少するためである。
出典：出水清史 監修 半導体プロセス教本 SEMI ジャパン (2002)。

竹のふしのような構造になり、3重点がなくなるためと考えられる。

エレクトロマイグレーション耐性を高めるためには、

- (1) 添加物
- (2) 多層構造
- (3) エレクトロマイグレーション耐性の高い材料の使用

の3つの方法がある。図 IV. 7. 18 は Al に Cu を添加した時の効果を示す。Cu を 0.5% 添加することにより配線の寿命が格段に伸びている。粒界に析出した Cu が Al 原子の移動を阻止していると考えられる。また、その効果は Si を添加しない場合に大きい。

また、図 IV. 7. 19 のように TiN, W, TiW などの金属層 (バリアメタル) と重ねることによっても配線寿命が改善される。バリアメタルは、

- (1) 配線信頼性の向上だけでなく、
- (2) 密着層として、下地との結合を強め配線金属をはがれにくくしたり、

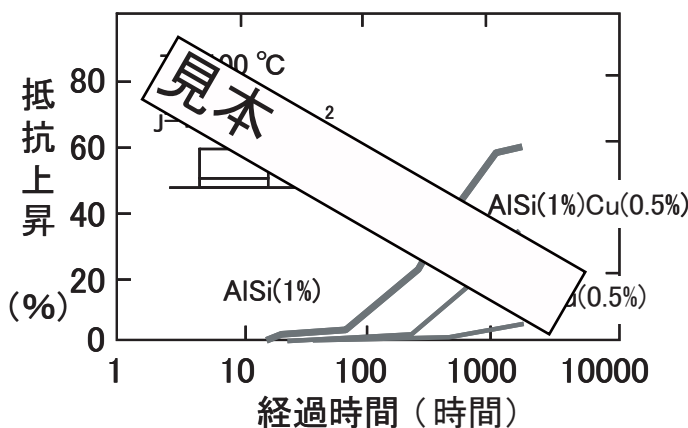


図 IV. 7. 18 Al 配線の寿命に対する添加物の効果

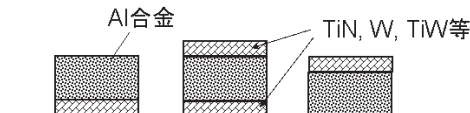


図 IV. 7. 19 多層構造による配線の信頼性向上

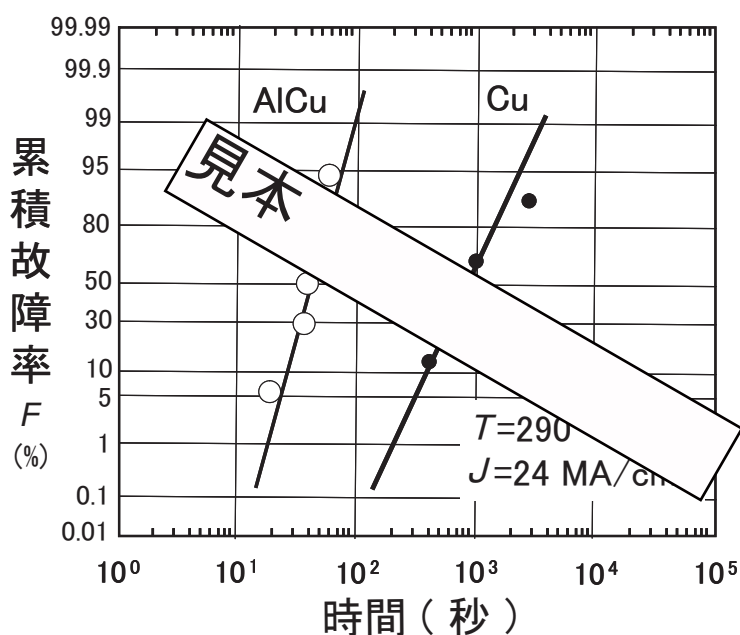


図 IV. 7. 20 Cu 配線の信頼性，出典：出水清史 監修 半導体プロセス教本 SEMI ジャパン (2002)。

注釈：この図は縦軸に $\ln(\ln(1/(1-F)))$ をプロットしたもので、ワイブルプロット (Weibull plot) と呼ばれる (F は故障率を % でなく $\max 1$ で表記)。初期故障率は、ワイブルプロットで直線に載ることが知られている。

(3) 光反射率を抑えフォトリソグラフィにおける反射防止膜の役割を果たす場合もある。

図 IV. 7. 20 は AlCu と純粋 Cu のエレクトロマイグレーション耐性を比較したものである。Cu は AlCu に比べ約 1 桁配線寿命が長い。傾向として、重い原子ほど電子から受け取る運動量が小さいためエレクトロマイグレーション耐性は高い。Cu は、低抵抗でエレクトロマイグレーション耐性が高いという長所を持つ反面、密着性が悪い、拡散しやすい、酸化しやすい、ドライエッチングが難しいなどの短所があるが、これらを克服して実際に LSI の配線に使用されている。

IV・7-6 ストレスマイグレーション

配線材料にかかる機械的応力によっても原子移動が起き、電流を流さなくても断線にいたる場合がある。これをストレスマイグレーションと呼ぶ。図 IV. 7. 21 に示すように、引っ張り応力 (Tensile Stress) が加わると、粒界に沿って原子移動が起き、ボイドが生じる。この現象は特定の温度領域で顕著になることが分かっている。応力は、層間絶縁膜やパッシベーション膜によって誘起されるので、それらの選定や堆積条件が重要になる。

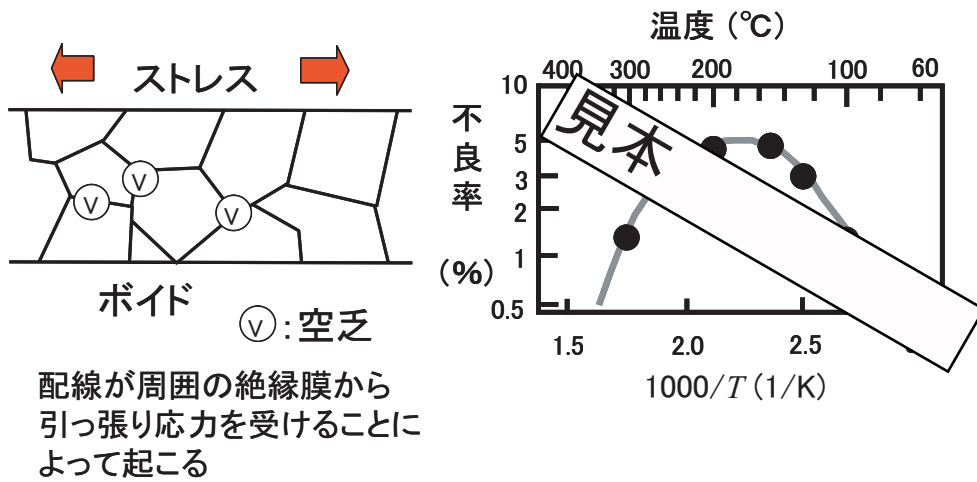


図 IV. 7. 21 ストレスマイグレーション

IV・7-7 Al と Si の反応（共晶の形成）

Al と Si は温度を上げると反応し、Al と Si の結晶粒が混ざりあった「共晶」を作る。このため、図 IV. 7. 22 に示したように、Al が直接 Si に接触している構造（例えばソース、ドレインへのメタルコンタクト）を熱処理（次に説明する Post Metallization Anneal : PMA 処理）すると、Al と Si の相互拡散が生じ、Al が Si 側に侵入する。その厚さ b がソース、ドレインの接合深さ以上になると、p-n 接合の短絡が生じトランジスタは動作しなくなる。この界面反応は、界面状態の不均一性（汚染、凹凸、一様でない自然酸化膜）のために、図 IV. 7. 23 に示すように局所的に進行し、Al スパイクを形成する。従って、図 IV. 7. 22 の均一反応モデルで計算した熱処理時間より格段に短い時間でトランジスタの動作不良に至る。また、一旦 Al 中に溶け込んだ Si が冷却過程において析出し（Si ノジュール [小瘤の意味] : と呼ぶ）、ソース、ドレインと Al のコンタクト不良を起こすことがある。これらの現象を防止するために、あらかじめ、堆積させる Al に Si を添加したり、図 IV. 7. 24 に示すように反応を防止する TiN などのバリアメタルを Al と Si の間に挟む方法がとられている。

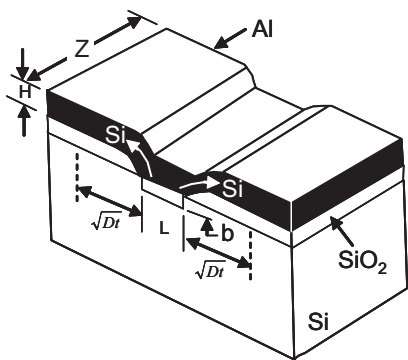


図 IV. 7. 22 Al/Si 反応による Si の侵食

ここで、図 IV. 7. 22 における、反応部の深さ b を求める。そのために必要な情報は、図 IV. 7. 25 に示す Al-Si の相図である。シリコン原子濃度の少ない部分の拡大図が挿入図に示されている。その部分での共晶の状態を図 IV. 7. 26 に示す。物理的に起こる現象を理解するため、図 IV. 7. 26 において、点線の組成 (0.6at. %Si) で、液体状態から温度を下げた時、どんな状態変化をたどるかを考える。

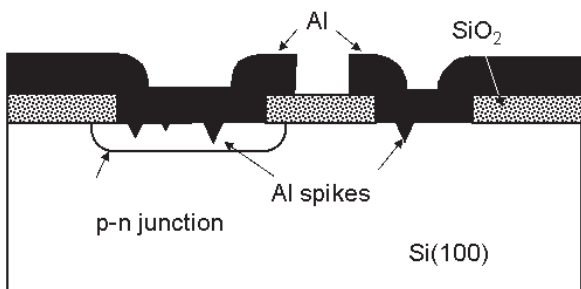


図 IV. 7. 23 Si と Al の不均一反応による Al スパイク発生

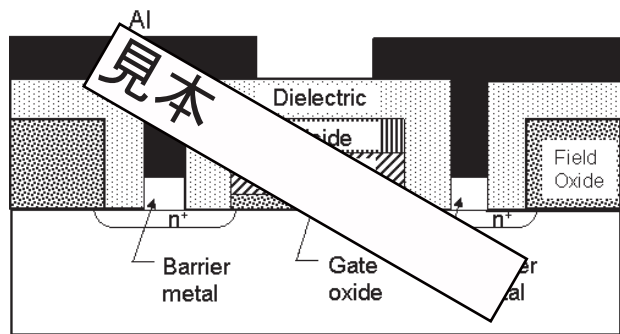


図 IV. 7. 24 Al スパイク発生を防止するためのバリアメタル

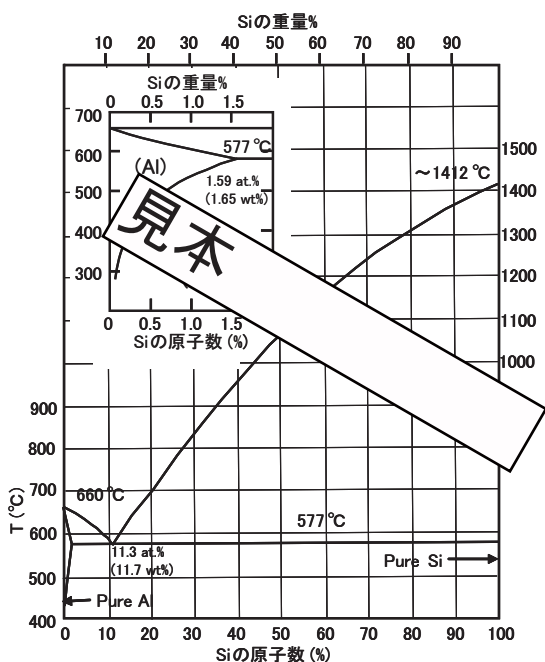


図 IV. 7.25 Si と Al の反応相図

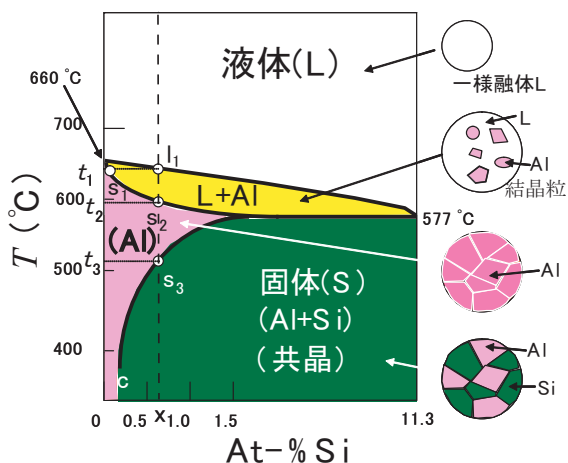


図 IV. 7.26 Si/Al 共晶の相図の拡大図と構造

1. 冷却していくと液相線と l_1 で交わる。 s_1 に相当する濃度の固溶体（構成元素が均一に溶け合った固体のこと）（ α 相と呼ぶ）を晶出する（Si 約 0.1 at.% を含んだ Al）。
2. さらに温度を下げていくと Si 濃度はカーブ s_1-s_2 に沿って増大し、温度 t_2 ではすべて濃度 x の α 相となって固化する。温度 t_2 から t_3 までは特に変化はない。
3. 温度が t_3 まで下がると、固溶体中の Si 原子の溶解度は飽和し、 β 固溶体（Al がとけ込んだ Si:Al の固溶度は 1000°C で 10^{19}cm^{-3} 程度と小さい）が析出し始める。
4. 温度がさらに下がると、 α 固溶体（Si が固溶した Al 結晶）中の Si 原子の溶解度は、カーブ s_3-c に沿って小さくなる。このため α 固溶体中からますます β 固溶体が析出してくる。

b の値は次のように計算される。

アニール時間 t の後、Si は Al と接触している界面から約 \sqrt{Dt} だけ拡散する。ここで D は Si の Al 中での拡散定数で、 $4 \times 10^{-2} \exp(-0.92q/kT)$ cm^2/s で与えられる。これだけの長さの Al 電極がすべて Si で飽和するとすれば、そのために消費される Si の量は次の式で与えられる。

$$Vol \cong 2\sqrt{Dt}(HZ)S \left(\frac{\rho_{Al}}{\rho_{Si}} \right) \tag{IV.7.6}$$

ここで、 ρ_{Al} および ρ_{Si} はそれぞれ Al および Si の密度で S はアニール温度における Al 中への Si の溶解度である。もし接触面積 $A=ZL$ すべてにおいて、一様に Si が消費されるとすれば、消費される Si の深さ b は次のようになる。

$$b \cong 2\sqrt{Dt} \left(\frac{HZ}{A} \right) S \left(\frac{\rho_{Al}}{\rho_{Si}} \right). \tag{IV.7.7}$$

・ Post Metallization Anneal (PMA)

Al 電極形成後、通常 N_2 と H_2 の混合ガス中で、 400°C 程度のアニールを行う。これを PMA と呼ぶ。その目的は、以下の 2 つである。

- (1) ゲート絶縁膜 (SiO_2)/Si 界面の界面準位密度、およびゲート絶縁膜中のトラップ密度の低減
 - (2) ソース/ドレインと金属電極のオーミック接触抵抗の低減
- (2) のオーミック特性改善は、Al と Si の反応によってもたらされると思われる。(1) の界面準位密度およびトラップ密度低減の機構として、 H_2 分子、 SiO_2 中または試料表面の水分が Al と反応して H 原子が生じ、これが拡散して界面や酸化膜中の Si ダングリングボンド（非終端結合手）を終端して電氣的に不活性化させるというモデル（図 IV. 7.27）が提唱されている（B.E. Deal *et al.*, J. Electrochem. Soc., **116**, 997(1969)）。特にスパッタで Al を形成した場合は、Al が高エネルギーで試料表面に衝突するためダメージが大きく、この PMA の効果は大きい。

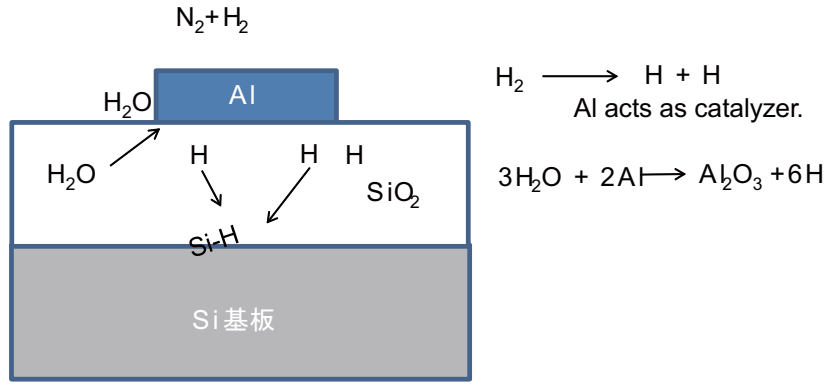


図 IV. 7. 27 PMA による界面準位密度低減メカニズム

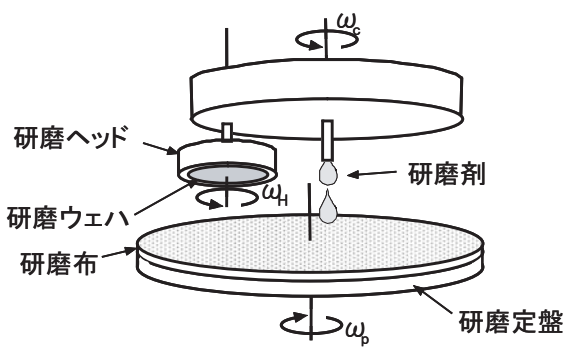


図 IV. 7. 28 CMP 装置の概略 (再掲)

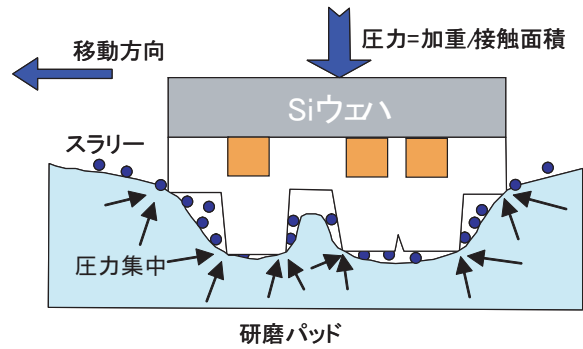


図 IV. 7. 29 CMP において凸部が選択的に研磨されるメカニズム

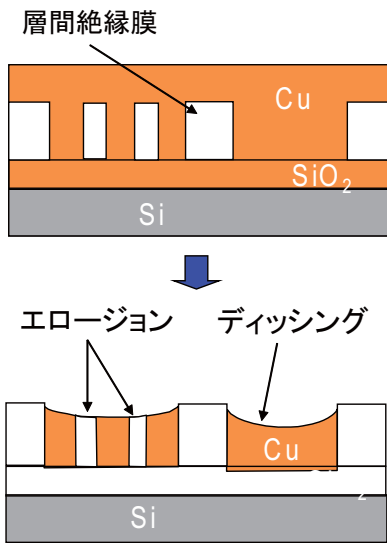
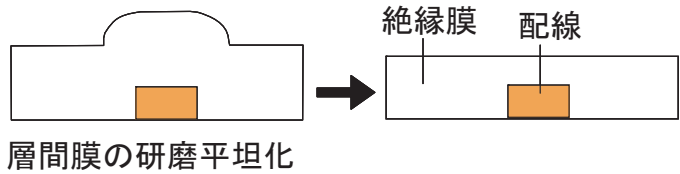
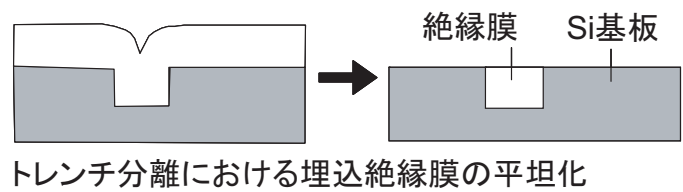


図 IV. 7. 30 CMP における問題点の例：ディッシングとエロージョン

1. 層間膜の研磨平坦化



2. トレンチ分離



3. 埋込金属配線 (デュアルダマシニング)

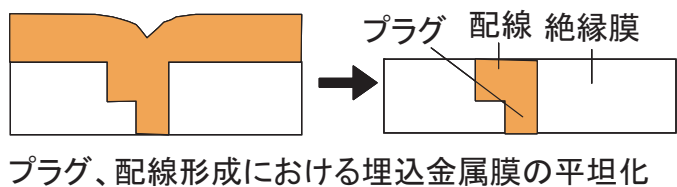


図 IV. 7. 31 CMP の用途

IV・7-8 化学的機械研磨技術 (Chemical Mechanical Polish: CMP)

化学的機械研磨技術 (Chemical Mechanical Polish: CMP) は、多層配線において各層形成後の平坦化技術として頻りに使用される。図 IV. 7. 28 に CMP 装置の概略を示した。研磨布にウェハを一定の圧力で押し付け、研磨材を滴下しながら一定の回転速度でウェハ台を自転・公転させる。研磨剤はダイヤモンド、アルミナ、SiC などの砥粒と化学溶液の混合物である。図 IV. 7. 29 に示すように、凸部に圧力が集中するため、凸部のみが選択的に研磨され平坦化が進行する。研磨パラメータは、

1. 研磨圧力
2. 回転数
3. 研磨材の種類と流量などである。

問題点としては、図 IV. 7. 30 に示すように、広い面積の金属部分の中心が皿上に凹むディッシングや、高密度な狭い層間絶縁膜部分が高い圧力のために過剰に研磨されるエロージョン (浸食の意味) などがある。これらを抑制する研磨パラメータを見出す必要がある。

CMP の用途を図 IV. 7. 31 にまとめた。

- (1) 金属配線における層間膜の平坦化以外に、
- (2) トレンチ分離、
- (3) 埋込金属配線などに使用される。以下、これらについて説明する。

図 IV. 7. 32 は、CMP を用いた Shallow Trench Isolation (STI、訳は浅溝分離) 形成法である。まず、分離する部分に溝をドライエッチングにより形成しておき、そこに酸化膜を堆積させた後、不要な部分を CMP によって研磨し平坦にする。Si 窒化膜は CMP のストップ層として用いられる。Si 窒化膜の研磨レートが酸化膜に対して十分遅い条件で研磨すると、自動的に Si 窒化膜の部分で研磨がストップする。従来の LOCOS 法に比べて、バズピークがなく、平坦性に優れ高密度化に適した方法である。

図 IV. 7. 33 は、デュアルダマシン法と呼ばれる金属配線形成法である。ダマシン (Damascene) 法とは、溝に材料を埋め込んだ後、研磨によって表面を平らに仕上げる技術で、日本でも古来より陶芸に用いられている手法であり、象嵌法と呼ばれている。特に、デュアルダマシン法では、ビアと配線部分の溝をあらかじめ形成しておき、両者を同時に金属で埋込む方法である。従来の方法と比較して工程数が削減される。また、デュアルダマシン法の鳥瞰図を図 IV. 7. 34 に示した。Cu はハロゲン元素との化合物の蒸気圧が低いので、ドライエッチングが難しい。そこで、このように CMP を用いた特殊な配線形成法を用いている。

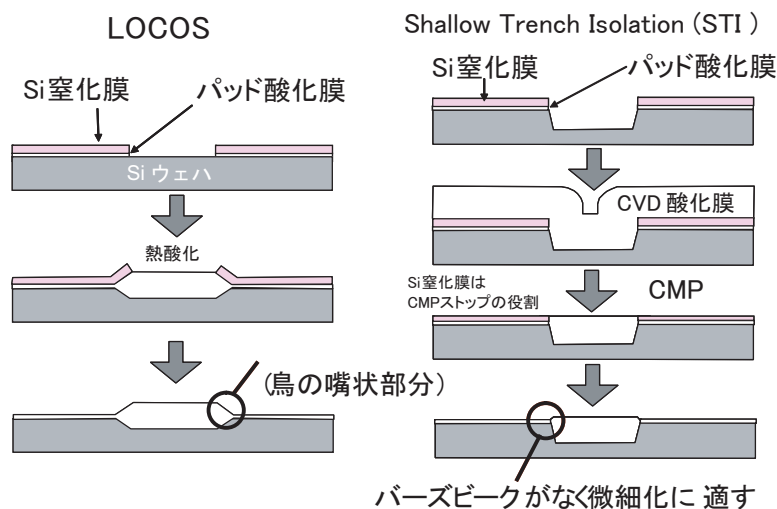


図 IV. 7. 32 CMP の用途 (Shallow Trench Isolation: STI)

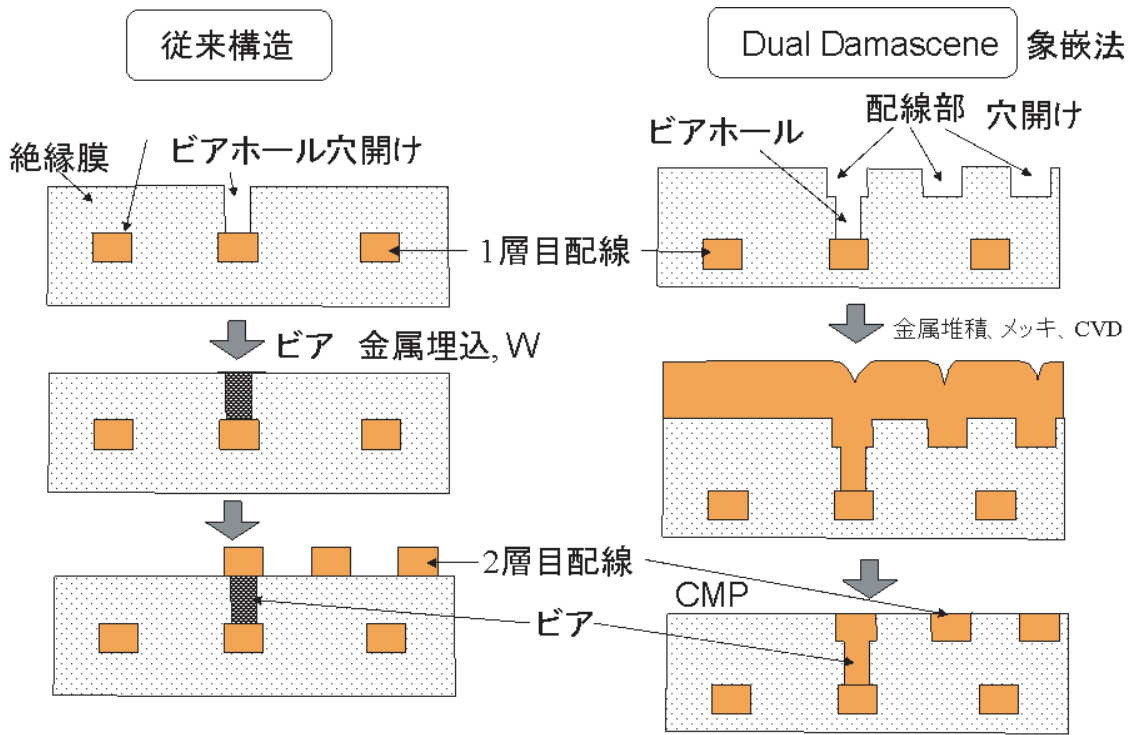


図 IV. 7. 33 CMP の用途 (Dual Damascene)

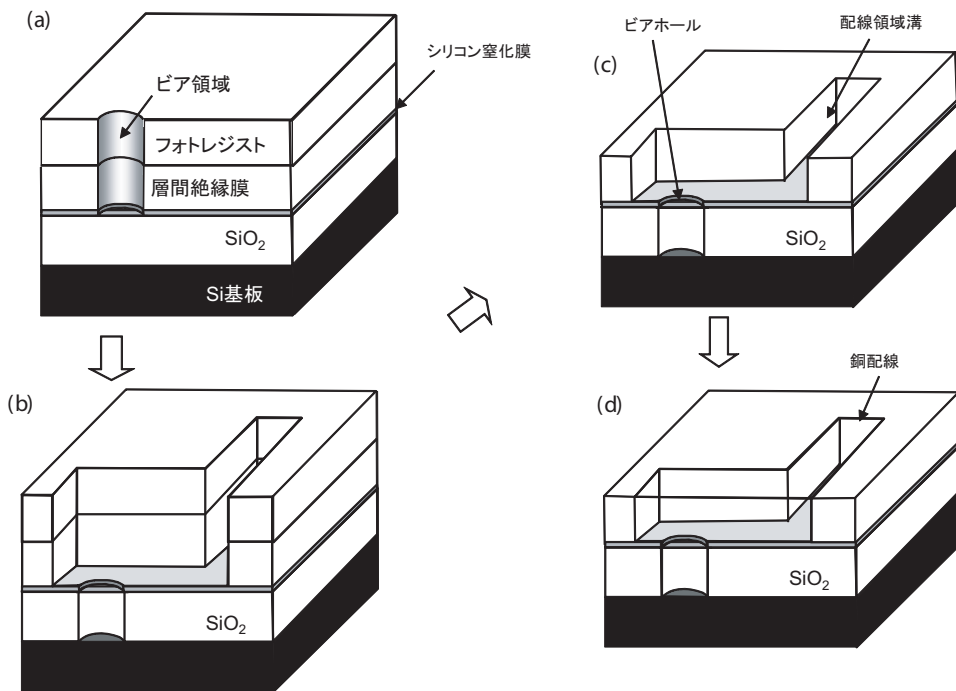


図 IV. 7. 34 Dual Damascene の鳥瞰図

IV・7-9 金属のメッキ

スパッタの節で述べたように、細く深い溝内部に材料を均一に埋め込むことは容易ではない。特に、膜厚一定の配線スケーリングでは、微細化と共に益々溝のアスペクト比（縦横比のことで、細く深い溝ほどアスペクト比は大きい）は大きくなる。古来より用いられているメッキ技術は、最先端のLSI製造現場でも、このような高アスペクト比の溝の埋め込みに適した方法として用いられている。図IV.7.35にCuのメッキ法の概略を示した。原理は単純で、硫酸銅溶液の中に銅電極とSiウェーハを浸し、電流を流す。陰極で還元反応によってCuが析出し、陽極でCuが溶液中に溶け出す。メッキ法の特徴は、表面反応のため、溝の底からきれいに穴が埋まり、ボイドができにくいことである。しかし、平坦な表面形成および良好な穴埋め特性を得るために、各種の添加剤（増速・抑制触媒など）が用いられ、各企業の丸秘ノウハウとなっている。密着性の向上と電流を流すための電極として、あらかじめスパッタ法により薄くTiNなどのバリアメタルを被着させておく必要がある。また、無電解メッキと呼ばれる、電流を流さずにメッキする方法も開発されている。

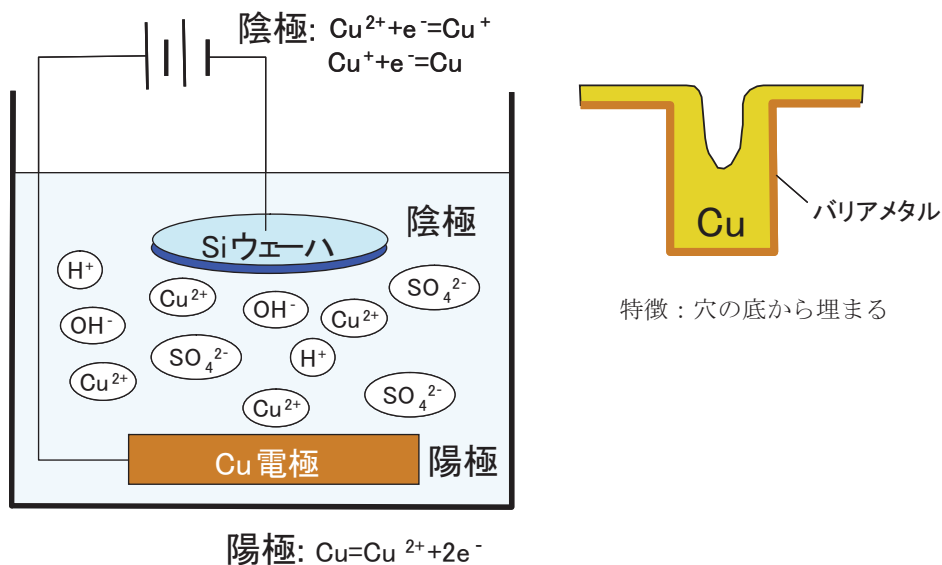


図 IV. 7. 35 Cu のメッキ

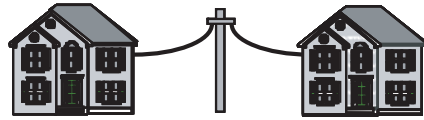
IV・7-10 光配線

光を使った通信は、古くは「のろし」がある。現在では、図IV.7.36に示すように、海底光ケーブル、光ファイバーを用いたインターネット網[Fiber to the Home (FTTH)]、コンピュータ間通信が、すでに実用化されている。近い将来には、コンピュータ内のボード間通信、ボード内チップ間通信、さらにはチップ内にも光通信が導入されるであろう。光通信が利用される理由は、(1) 大きな通信容量と、(2) 金属配線に比べて軽量でコンパクトなことにある。このため、航空機や車載用配線にも使用されている。図IV.7.37に示すように、光通信で使用する光の波長は、 $1.3\mu\text{m}$ または $1.55\mu\text{m}$ と、他の通信手段（金属配線：同軸ケーブル、または無線通信：例えばマイクロ波通信）で用いる電磁波に比べ格段に短く、周波数が非常に大きい。搬送波の周波数を f 、通信信号の周波数帯域を Δf とすると、その搬送波で通信できる最大チャネル数は $f/\Delta f$ で与えられる（実際は通信媒体の帯域幅等があるので、これほど単純ではないが）。従って周波数が高いほど通信容量を大きくできる。携帯電話で使用される無線周波数 2GHz と比べると $1.55\mu\text{m}$ の光の周波数は約 200THz なので、およそ 10 万倍の通信容量を持つ。 $1.55\mu\text{m}$ を用いる理由は、石英製光ファイバーの伝搬損失がこの波長で最も小さいためである。

●海底光ケーブル



●光ファイバー通信 (FTTH)



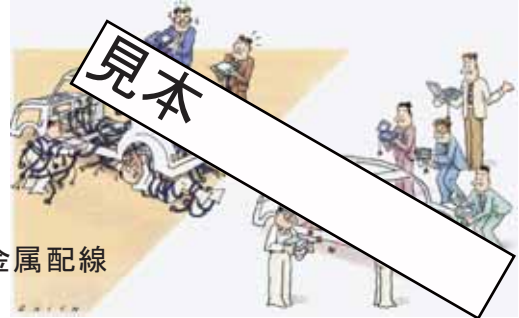
●航空機用配線



●コンピュータ間通信



●車載用配線



●コンピュータ内ボード間通信



金属配線

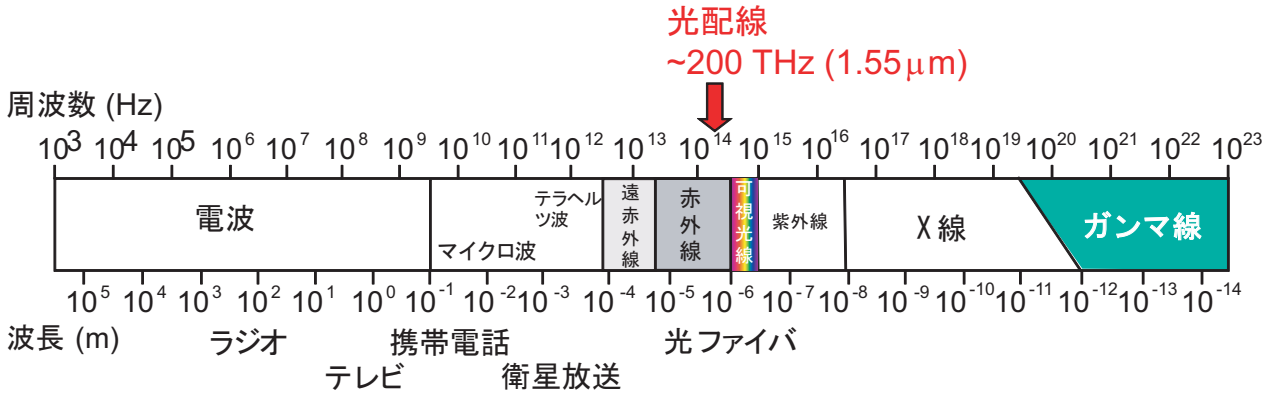
●ボード内チップ間通信



光ファイバ配線

● 今後はチップ内へ

図 IV. 7. 36 光通信の現状



光はテラヘルツ電磁波より2桁以上高い周波数



極めて高い情報伝送容量テラビット/s以上が可能

図 IV. 7. 37 電磁波の波長と光配線

金属配線の問題点

金属配線の問題点は、その信号伝搬速度と配線のサイズである。図 IV.7.5 に示したように集中定数モデルによれば、 R, C 共に距離 l に比例するので、信号伝搬時定数 τ は、距離 l の二乗に比例することになる。配線抵抗が十分低い ($R \ll \omega L$, R : 単位長当たりの抵抗, ω : 角周波数, L : 単位長当たりのインダクタンス) 伝送線路 (transmission line) を用いれば、信号伝搬速度 v は、 $v=1/\sqrt{LC}=1/\sqrt{\epsilon\mu}$ となり、光と同じ速度式になる。ここで、 C は単位長当たりの容量、 ϵ , μ はそれぞれ伝送線路の絶縁媒体の誘電率と透磁率である。この様子を図 IV.7.38 に示す。光配線で、距離が短い時に遅延時間が飽和しているのは、電気/光変換デバイス (発光素子)、および光/電気変換デバイス (受光素子) の遅延時間のためである。また、伝送線路の駆動回路を図 IV.7.38 右図に示した。伝送線路における短距離での遅延時間は、駆動 CMOS 回路や Amp によるものである。伝送線路において、抵抗を小さくするためには、図 IV.7.39 に示すように大きなサイズが必要になり、LSI チップ内での配線には適さない。信号伝搬速度とサイズの問題を一挙に解決する方法として、光配線が注目されている。1GHz の周波数において、減衰が 2.4dB/cm で、上記光速の式が使えるほど低抵抗な、同軸型伝送線路の設計例を図 IV.7.39 に示す。幅 $20\mu\text{m} \times$ 高さ $15\mu\text{m}$ と大きなサイズとなるのに対して、減衰率 0.6dB/cm の光導波路では、減衰率が小さいにもかかわらず、約 1/5 のサイズとなる。電磁波をチップ内、チップ間の信号伝達に用

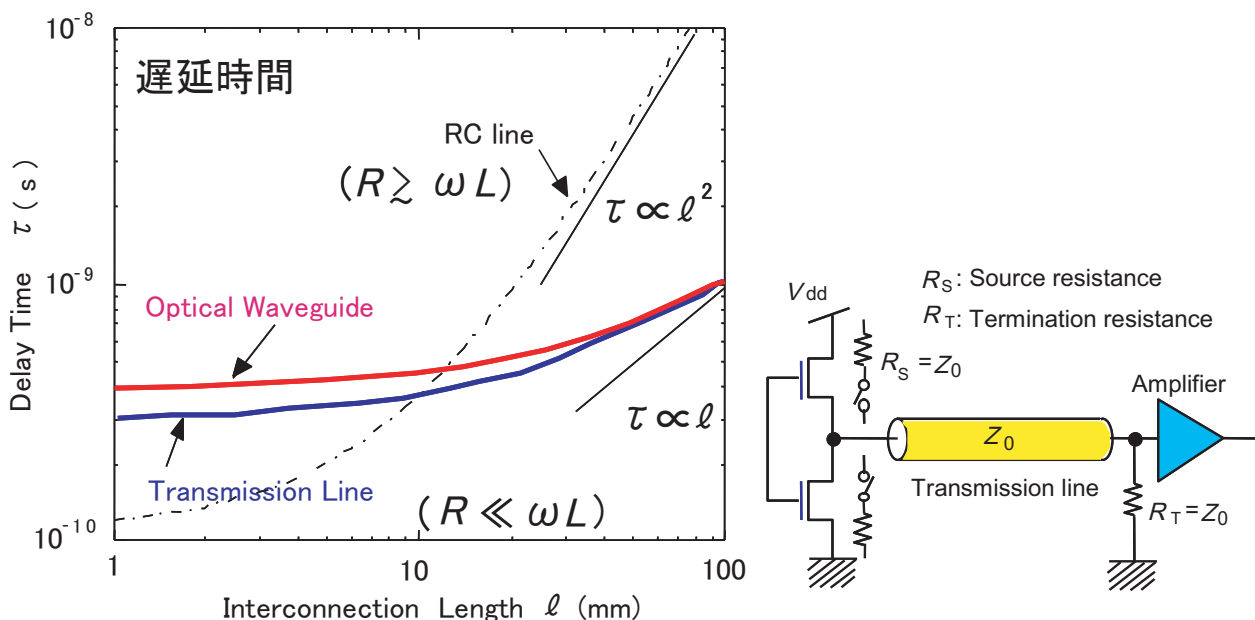


図 IV.7.38 金属配線と光配線における信号伝搬遅延時間

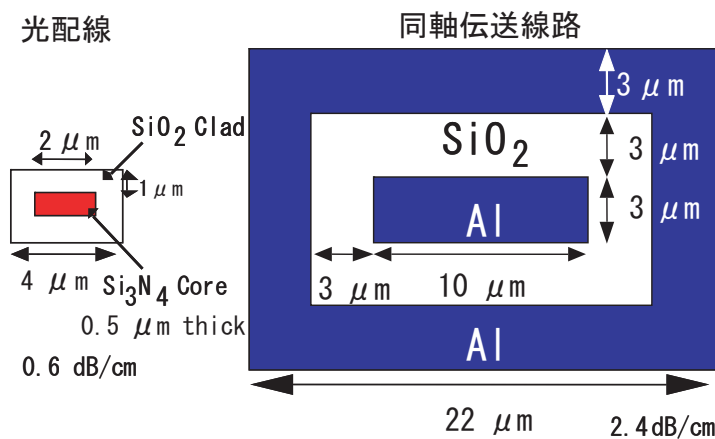


図 IV.7.39 光配線のメリット (波長が短いのでコンパクト)

いる研究も行われているが、周波数が高く通信容量が大きいという点では、光配線が最も高性能である。しかし、光配線のための実用技術が未開発な点が問題である。一方無線（ワイヤレス）インタコネクションは、新たなプロセス技術の開発が不要な点で有利である。

金属配線と光配線の比較

光配線を金属配線と比較した時の特徴を以下にまとめる。

1. 広帯域（高周波数）
2. コンパクト・軽量
3. 低消費電力（CR 充放電がない）
4. 高速（光速）
5. ファンアウト（分岐数）に依存しない遅延
6. インピーダンスマッチング不要
7. 非干渉性（交差可能）

図 IV. 7. 40 は、著者らが提案している光配線 LSI の概略図である。光スイッチをモノリシック（貼り合わせではなく、半導体薄膜技術によって 1 つの基板の上に集積する方法）に集積し、入力光には外部光または少数の搭載発光素子を用いる。光スイッチとしては、(1) 屈折率が電界によって変化する電気光学材料を用いた光スイッチ、(2) 屈折率が磁界によって変化する磁気光学効果光スイッチ、および (3) Si 導波路を用いた光スイッチについて研究している。図 IV. 7. 41 は、マッハツェンダ干渉計型光スイッチと呼ばれるデバイスである。入力光は、Y 型分岐によって 2 つの経路に分けられた後、一方の経路の光の位相が変えられ、再び合波されて出力される。位相変化を $\Delta\Phi$ とすると、出力光の電界強度は次式で与えられる（光強度は電界強度の二乗に比例する）。

$$\sin \omega(t - x/v) + \sin(\omega(t - x/v) + \Delta\Phi) = 2 \cos(\Delta\Phi/2) \sin(\omega(t - x/v) + \Delta\Phi/2) \tag{IV. 7. 8}$$

\sin の項は時間振動項でなので、振幅は $\cos(\Delta\Phi/2)$ に従って変化し、 $\Delta\Phi = \pi$ で振幅はゼロとなる。図 IV. 7. 41 では、位相 $\Delta\Phi$ を変化させるために、電界を印加することによって屈折率の変化する「電気光学材料」を用いる。この効果をポッケルス効果と呼ぶ。屈折率の変化量 Δn は電界強度に比例する。

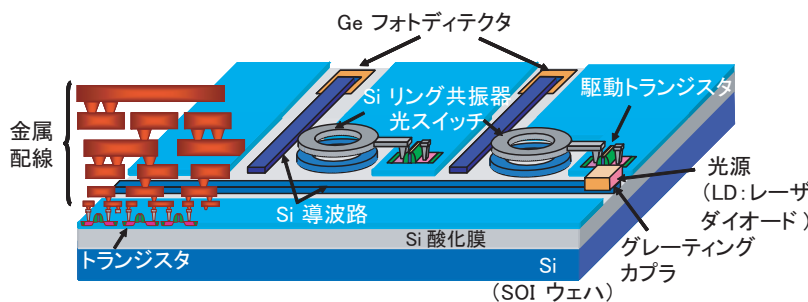


図 IV. 7. 40 著者らが提案する光配線 LSI の構造

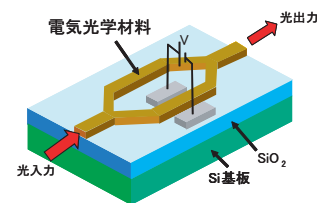


図 IV. 7. 41 マッハツェンダ干渉計型光スイッチ

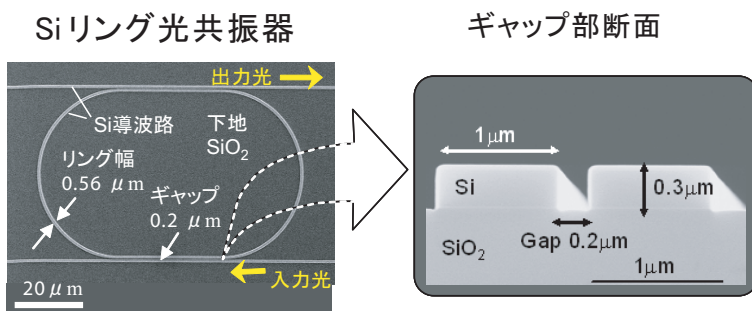


図 IV. 7. 42 著者らが製作した Si リング光共振器の例

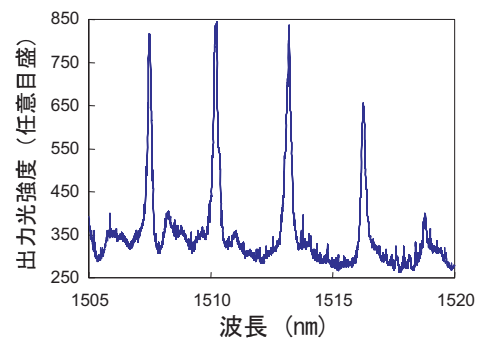


図 IV. 7. 43 Si リング光共振器の共振特性例

Si 基板の直上表面は、トランジスタで埋め尽くされるので、光スイッチや光配線は金属配線の上層に設けるのが好ましい。そのためには、金属配線層に影響を与えない、450°C以下の温度で、光配線および光スイッチを製作する必要がある。著者らは、(Ba, Sr)TiO₃ という電気光学材料を 450°C という低い基板温度で、SiO₂ 膜上にスパッタ法により製膜し、マッハツェンダ干渉計型光スイッチを作製し、その動作を確認した (Suzuki 他, Japanese Journal of Applied Physics, Vol.46, No. 4B(2007)p. 2462)。従来技術では、特殊な単結晶基板 (単結晶 MgO など) 上に、高温 (650°C以上) で単結晶の電気光学材料 (有名なものとして LiNbO₃ がある) を単結晶成長させ、それを用いて光スイッチを製作する方法しかなかった。その方法では、SiLSI の金属配線層の上に光スイッチを集積化することができなかった。

図 IV. 7. 41 のマッハツェンダ干渉計光スイッチの欠点は、十分な位相シフト量を得るために数百マイクロメートルと大きなサイズを必要とすることである。この欠点を克服する小型デバイスとして、リング共振器型光スイッチが提案されている。リング状にして、その中を光が何周もすることによりデバイスサイズを小さくできる。リングの光路長 (周長 l と等価屈折率の積) が波長の整数倍の時、一周してきた光の位相が元の位相と同じになるので強めあい、特定の共振波長で大きな光出力が得られる。図 IV. 7. 42 は、我々の研究室で作製した Si リング共振器の走査電子顕微鏡写真である。入力 / 出力導波路とリングとの光カップリングには、波長程度の狭いギャップを用いる。光は導波路から波長程度染み出しているの、ギャップ長と結合距離を変えることにより光結合率が制御できる。図 IV. 7. 43 は共振特性の例である。Si の微細加工技術は、半導体技術の進歩により格段に進んでいるので、サブマイクロメートルの波長程度の加工は容易である。また、Si の光屈折率は 3.5 と、光ファイバの 1.5 弱と比べ大きいので、光閉じ込め効果が大きく急峻な曲げでも損失が少なく、LSI に集積するのに適している。Si を用いた光デバイス技術を「シリコンフォトニクス」と呼び、最近世界的に研究が活発化している。図 IV. 7. 44 に共振器光スイッチの原理を示す。共振波長を変えるには、様々な方法があるが、我々は Si p-n 接合をリングの周方向に並べる方法を提案し、光スイッチを試作した。従来は、周方向ではなく、導波路の幅方向に p-n 接合を配置していたが、本方法の方が変調率、動作電圧の点で有利であることが示された (Amemiya *et al.*, 2010 Int. Conf. on Solid State Devices and Materials, D-9-3, Jpn. J. Appl. Phys. 50 (2011) 04DG13)。その構造を図 IV. 7. 45 に、動作特性例を図 IV. 7. 46 に示す。

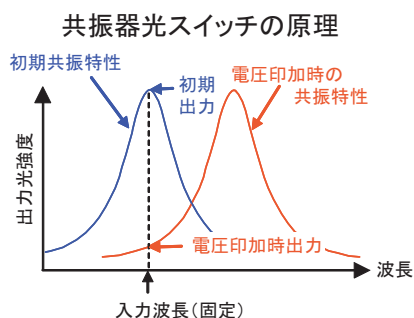


図 IV. 7. 44 共振器を用いた光スイッチの原理

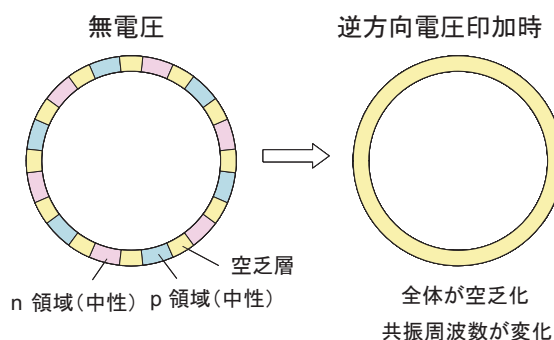


図 IV. 7. 45 著者らが提案した、リングに沿って p-n 接合を配置する光スイッチの原理

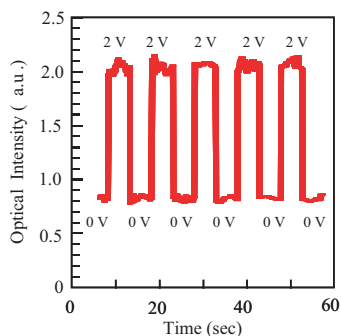


図 IV. 7. 46 Si リング共振器光スイッチの特性例。2 V と低電圧での光変調が確認されている。

問題 IV.

- (1) Si ウェハは、何を原料にして、どのように作られるか。
- (2) チョクラスキー法とフローティングゾーン法の特徴を比較せよ。
- (3) CMOSLSI の断面構造を描き、その製作プロセスを図 IV. 2. 3 のように描け。
- (4) 位相シフト法において、シフトの膜厚を求める式を導出せよ。
- (5) 電子ビームの加速エネルギーが 50keV の時、電子の波としての波長を (IV・3・2) を用いて計算せよ。
- (6) SiO₂ を CF₄ プラズマを用いてドライエッチングする時、H₂ を添加すると Si とのエッチング選択比が向上するメカニズムを説明せよ。
- (7) Si 基板上に 0.6μm 厚の SiO₂ がある。ここにコンタクトホールを開けたい。SiO₂ および Si のエッチング速度は、場所により ± 10% ばらついている。このとき、Si を 5nm 以上エッチングしないようにするためには、SiO₂ と Si のエッチング速度の比はいくつ以上が必要か。ただし、SiO₂ の膜厚ばらつきは無視できるものとする。
- (8) Deal-Grove の酸化モデルの式 (長時間酸化で膜厚 ∝ 時間^{1/2}、短時間酸化で膜厚 ∝ 時間 [ただし、初期膜厚を無視できるとき]) を導出せよ。
- (9) SiO₂ を CVD で製膜する反応式と装置例を 2 通り挙げよ。
- (10) Si の熱酸化膜を、常圧水蒸気酸化を用いて 1000°C で、厚さ 0.6μm 形成したい、どれだけの時間酸化すればよいか。図 IV. 5. 12 を参照せよ。
- (11) イオン注入時の核衝突における移行エネルギーの式 (IV・6・6) を、図 IV. 6. 17 の 2 次元モデルを用いて導出せよ。
- (12) LSI の長距離配線に用いられるリピータの数が (IV・7・4) の時、配線遅延時間が最小値 (IV・7・5) を取ることを導け。
- (13) IV・7-7 の Al と Si の反応において、450°C で 30 分アニールしたときの Si の侵食深さを計算せよ。ただし、 $Z=5\mu\text{m}$, $L=3\mu\text{m}$, $H=1\mu\text{m}$ とし、Al 中の Si の拡散係数 $D=4\times 10^{-2}\exp(-0.92q/kT)\text{cm}^2/\text{s}$ とする。ここで、 q は電子電荷 $1.6\times 10^{-19}\text{C}$, k はボルツマン定数、 T は温度 (K) である。Al と Si の密度は、それぞれ $2.7\text{g}/\text{cm}^3$ および $2.33\text{g}/\text{cm}^3$ とする。
- (14) 0.5μm 角の断面形状を持つ Al 配線において、エレクトロマイグレーションを起こさないようにするため、電流密度を $1\times 10^5\text{A}/\text{cm}^2$ 以下にしたい。流せる電流の最大値を求めよ。
- (15) Dual Damascene 法とはどのようなものか説明し、その特徴を述べよ。
- (16) 光配線の特徴を述べ、その実用化のための課題を列挙せよ。

●コラム 3

MOSFET 試作失敗談

先日アルミゲート MOSFET を作る実習を行った。2007 年から毎年夏、広島大学先端物質科学研究科の半導体専門実践講座という実習を行っており、2011 年までは、本格的な LOCOS 分離、poly-Si ゲート FET を、教員・研究員・学生総勢 10 名以上の協力を得て、設計から製作・測定までを約 1 週間かけて行うプログラムである（次頁にその時の工程表を示す）。本学・他大学、企業の方が毎年数人～10 人程度参加していただき、好評だった。しかし、作業量が膨大で、受講生が帰ってから毎晩夜中まで作業する日が続く。簡単化のために、LOCOS はやめ、酸化、ウェットエッチに切り替えた。poly-Si ゲート・セルフアラインもやめ、最初にソース / ドレインをレジストマスクとヒ素イオン注入で作成し、あとから位置合わせを行ってアルミゲートを形成する。これだと、製作日数は 3 日で済む。2012 年から始めて 2 年間はうまくいった。しかし、2014 年は、ソース / ドレインと基板間のリーク電流が発生し、徹夜でやり直して何とか動かした。インプラ後、アニールせずにいきなり酸化したことが原因と思われ、2015 年はこの点を改めうまくいくはずであった。ところが、予想に反して、この方法でも、2014 年と同様のリークが発生した。炉の汚染、インプラの不調など様々な原因を想定し、徹夜で原因究明・復旧作業を行った。これぞと思われる方策を講じて作り直したが、それでもリークが止まらない。その代わりに、工程ごとにチェックを入れ、アルミゲート形成後のアニール（PMA）によってリークが増大することが分かった。そこで、PMA を省略して再度作り直し、やっとまともな特性が得られたのが最終日の昼。残りの半日で 13 名の受講生が、各自設計した回路を測定し、なんとか窮地を脱することができた。2 日の徹夜をものともせず、最後まであきらめずに協力してくれた、教員・研究員・学生に対して感謝の気持ちでいっぱいである。半導体プロセスは、実に繊細であり、同じレシピでも作業員が変わると失敗することさえある。メタルゲートに替えてうまくいった最初の 2 年間は「まぐれ」だったのだと痛感した。その代り、失敗のおかげで多くのことを学ぶことができた。2016 年、再挑戦し原因を突き止めることができた。ゲート酸化前後の熱処理時間が短いとソース / ドレインの n^+ 領域が拡散せず浅いままで、酸化によって n^+ 領域が食われて極めて浅くなる。その結果 PMA 時に Al と Si が反応してソース / ドレインと基板がショートに近い状態になる。最初の 2 年間成功したのは、不慣れな学生が作業したため、ゲート酸化前後の熱処理時間が長く n^+ 領域が厚くなり動作したが、次の年は慣れたスタッフが作業したため、熱処理時間が短く不良に陥ったと推測される。簡単にみえることの裏には、実に様々な複雑な物理現象の組み合わせの妙があるのだと実感した次第である。



表コラム 3.1 N チャネル MOSFET 製作工程表の例

NMOSFET 工程表		SUBSTRATE Si 2inch <100 >just, p type 8-12 ohm.cm	1	2	3	4	5	6-12	13	14-1	19	20	21	22	23	日程
No.	PROCESS	Comment														
1	ウェハキャリア洗浄	エチルアルコール、王水、フッ酸、純水														あらかじめ準備
2	SC1洗浄(アンモニア、過酸化水素混液)	アンモニア0.15、過酸化水素3、水7(体積比) 80℃分、水洗5分、3分HF(2.5%) : 撥水まで60s+ 20s, 水洗5分、3分スピンドライ4分, 2000rpm	1日目 午前中
	パッド酸化	H2:1.5 l/min, O2:3 l/min 850℃、55分19枚No.1-19	午前中
	膜厚測定(ナノスペック:干渉膜厚計)	No. 19のみ 43 nm														13:00-13:30
3	Si窒化膜堆積 90 min	LPCVD, SiH2CL2 10sccm, NH3 110sccm, 750℃ 圧力 0.118Torr, 60 min, No.1-18	12:50-15:50
	膜厚測定(ナノスペック)	No.5 約157nm														15:50-16:00
4	LOCOSリソ(マスクレス露光時間1枚当たり)	リソパターン処理で1,2,3,4,5のナンバを露光。露光後、ナノスペックでSiN膜厚測定。125nm	16:10-18:25
	リソパターン写真		2日目, 8:45-9:15
5	Si窒化膜エッチ	CF4:100sccm, O2:100sccm (SH) 処理10 min	9:15-9:45
	レジスト剥離		9:45-12:50
	SC1洗浄		12:50-13:50
6	フィードバック膜厚測定	900℃	13:50-15:55
	膜厚測定		15:55-16:10
7	Si窒化膜エッチ		16:10-18:30
	膜厚測定		18:30-19:00
	膜厚測定		3日目, 8:45-10:45
	膜厚測定		10:45-11:45
	膜厚測定		11:45-12:00
	膜厚測定		
	膜厚測定		
9	チャンネルストップ	SH処理	12:00-14:00
	SC1HFエッチング(撥水確認)		14:00-15:00
10	ゲート酸化 16 min		15:00-16:00
	膜厚測定(ナノスペック)	No. 23追加	
11	poly-Si堆積20min, 300nm洗浄なしで次へ	LPCVD, SiH4	
	希フッ酸処理		
12	燐ドーブ	850℃、N2 O2 30 min	
	燐ガラスHFエッチ(撥水確認)		
	4探針抵抗測定	No.5	
13	ゲートリソ(マスクレス露光)		
14	poly-Siエッチング	Chemical Dry Etching (CDE)	
	膜厚測定(ナノスペック)	No.5	
	表面レジスト塗布		
15	裏面膜除去(CDE), 希HFエッチ		
16	SH処理、希HFエッチ		
17	SC1洗浄	No. 23追加	
18	poly-Si酸化(エッジラウンド用)	10 min	
	膜厚測定(ナノスペック)	No. 23	
19	n+ソース/ドレインインプラ	酸化後すぐインプラAs=100KeV, 5e15cm-2	16:00
	SH, SC1, 希HF処理(撥水確認)		16:50-17:30
	活性化アニール 950℃, 10 min	すぐ次へ(洗浄なし)	15:30-16:00
20	NSG(non dopeSiO2), PSG(燐入り) depo	SiH4=200sccm, 2=11/min, N2=351/min, 450℃, 5min	16:00-17:00
	膜厚測定(ナノスペック)		17:00-17:30
21	コンタクトリソ、ウェットエッチング	Buffered HF	6日目 8:45-10:30
	SH, 希HF過水処理	撥水確認	10:30-12:00
22	A1スパッタ(ゲート側)&裏面, A1リソ	マグネトロンスパッタ, 表0.6μm, 裏0.2micron 連続	12:50-17:00
	裏面粘着シートで保護, A1ウェットエッチ	リン酸、硝酸、酢酸混合液	17:00-18:00
23	粘着シート剥ぎ、レジスト剥離(剥離液)	90℃, 10 min, IPA, 水洗	7日目 8:45-10:30
25	PMA	400℃, H2:N2=1:4, 30 min	10:30-11:30
26	MOSトランジスタ完成		

見本

V. LSI の将来

今後のLSIはどのように変化していくのだろうか。本章ではこの問題について扱う。

V・1 サイズ限界

まず、LSIのキーデバイスであるトランジスタのサイズの限界について議論する。III.4のスケールリング則の節で述べたように、縦、横方向の縮小と同時に、半導体の不純物濃度を高めていく必要がある。しかし、同じ材料（例えばSi）を使用している限り、空乏層幅は比例縮小されず短チャネル効果の原因となる。サイズ限界には、主に次の3つがある。

- (1) ゲート絶縁膜のトンネル電流で決まる膜厚限界
- (2) ソース、ドレイン間のトンネル電流で決まるゲート長の限界サイズ
- (3) 不純物の統計ばらつきによるサイズ限界

以下、これらについて説明する。

(1) ゲート絶縁膜のトンネル電流で決まる膜厚限界

図V.1.1にMOSFETの構造を再掲する。横方向の縮小と同時に縦方向のサイズも縮小しないと、トランジスタの電気的特性は比例縮小されない。従って、ゲート絶縁膜も薄膜化する必要がある。ゲート絶縁膜の膜厚が電子の波長と同程度になると、電子の波動関数の染み出しにより、トンネル電流が流れる。図V.1.2に示すように、半導体の伝導帯（またはゲート電極）からゲート電極（または半導体の伝導帯）に直接電子がトンネルする現象を直接トンネルと呼ぶ。これに対して、図V.1.3に示すように、半導体の伝導帯（またはゲート電極）から、三角形のエネルギー障壁を通して絶

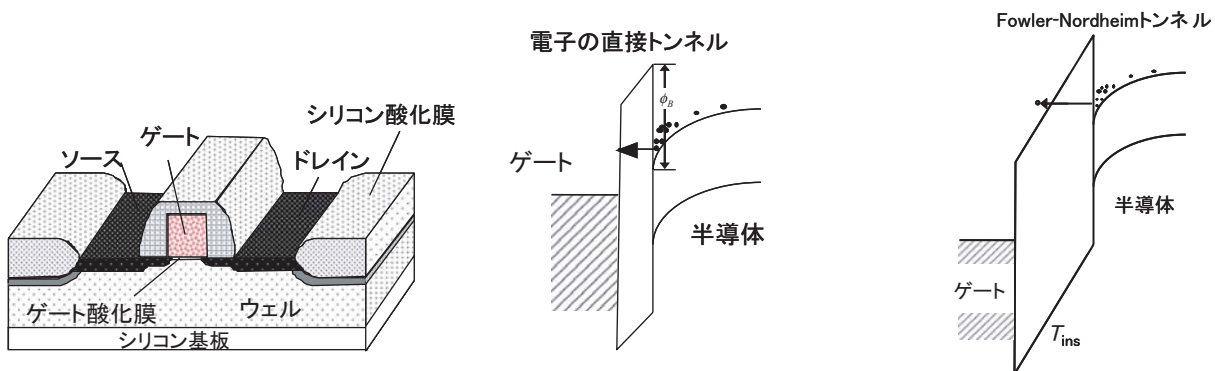


図 V. 1. 1 MOSFET の構造 (再掲) 図 V. 1. 2 ゲート絶縁膜の直接トンネル 図 V. 1. 3 Fowler-Nordheim トンネル

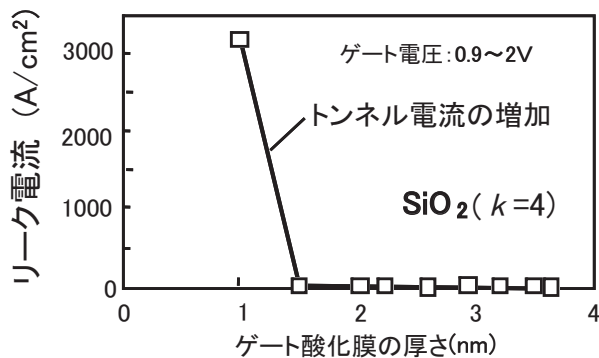


図 V. 1. 4 ゲート酸化膜厚と直接トンネル電流の関係

縁体の伝導帯にトンネルする現象を、Fowler-Nordheim トンネルと呼ぶ。直接トンネルは、ゲート絶縁膜が薄く、ゲート電圧が低い場合に起こるのに対して、Fowler-Nordheim トンネルは、厚い絶縁膜で大きな印加電圧の場合に起こる。図 V.1.4 に直接トンネル電流のシリコン酸化膜厚依存性を示す。直接トンネル電流密度 J_{DT} (A/m²) は、WKB (Wentzel, Kramers, Brillouin) 近似と呼ばれる方法で計算され、次式で与えられる。

$$J_{DT} = \frac{q^2}{2\pi h T_{ox}^2} \cdot \left(\phi_B - \frac{V_{ox}}{2} \right) \exp \left(- \frac{4\pi (2qm_{DT}^*)^{1/2} T_{ox} (\phi_B - V_{ox}/2)^{1/2}}{h} \right) - \frac{q^2}{2\pi h T_{ox}^2} \phi_B \exp \left(- \frac{4\pi (2qm_{DT}^*)^{1/2} T_{ox} (\phi_B)^{1/2}}{h} \right) \quad (V.1.1)$$

ここで、 T_{ox} はゲート絶縁膜厚、 ϕ_B は障壁高さ (図 V.1.2 参照)、 V_{ox} はゲート絶縁膜にかかる電圧、 m_{DT}^* はトンネル電子の有効質量である。図に示すようにシリコン酸化膜 (SiO₂) をゲート絶縁膜に用いると、厚さ 1.5nm 以下で急激に電流が増加し、1nm では 3000A/cm² にも達し、電熱器と同程度の消費電力となり、実用に耐えない。

(2) ソース、ドレイン間のトンネル電流で決まるゲート長の限界サイズ

ゲート長が短くなり、ソース、ドレイン間の距離が短くなると、ゲート絶縁膜の時と同様に、ソース、ドレイン間の直接トンネルが起こる (図 V.1.5)。パンチスルーが起こっていない時で、ソース、ドレインおよび基板の不純物濃度が高い場合には、障壁高さはおよそ Si のバンドギャップ 1.1eV となるが、ソース、ドレイン間距離の縮小と共に障壁高さは減少する (演習問題 3 を参照)。NEC のグルー

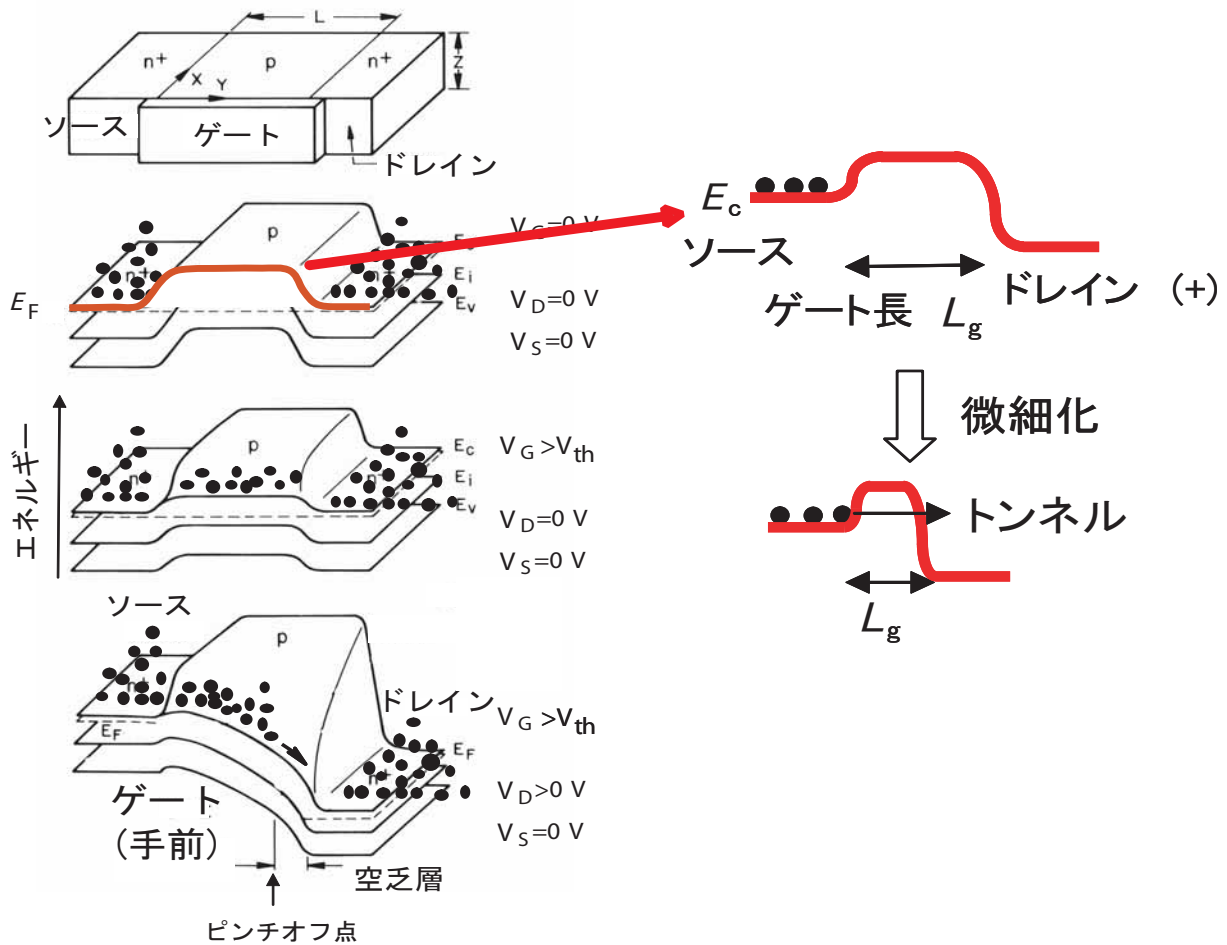


図 V.1.5 MOSFET におけるソースドレイン間トンネル

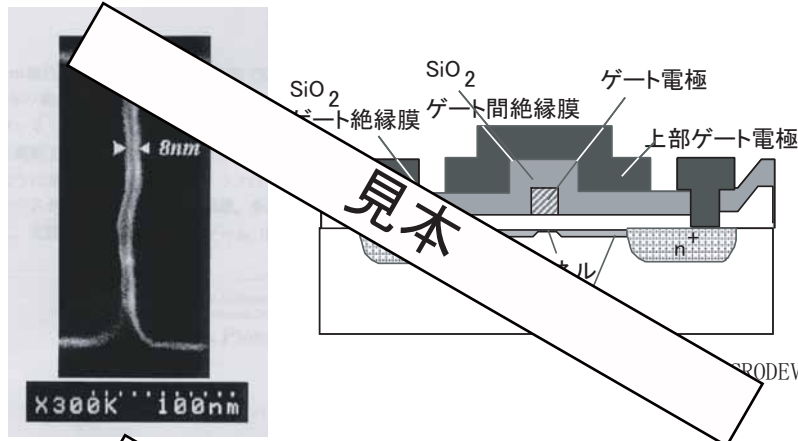
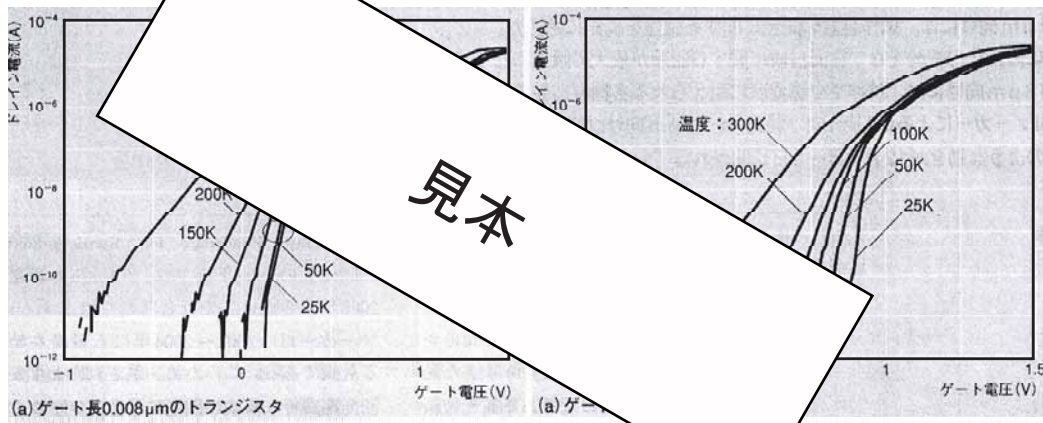


図 V. 1. 6 ゲート長 8nm の MOSFET

NIKKEI MICRODEVICES 1999 12 月号



(a) ゲート長 8nm のトランジスタ (b) ゲート長 52nm のトランジスタ

図 V. 1. 7 ゲート長 8nm と 52nm の MOSFET の特性

NIKKEI MICRODEVICES 1999 12 月号

世界最小ゲート長 5 nm のトランジスタ: NEC

電气的特性はまだ不十分
これより微細なSi トランジスタの
報告はない NEC: IEDM 2003

図 V. 1. 8 世界最小ゲート長 5nmSiMOSFET、2016 年 9 月時点でもこれ以下のサイズの報告はない

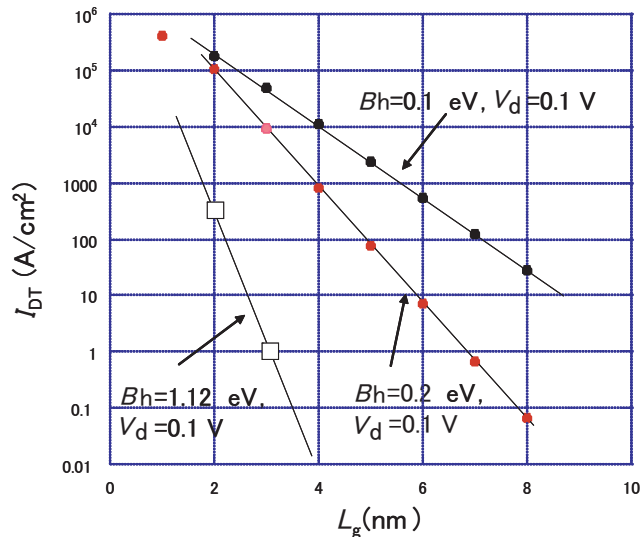


図 V.1.9 (V・1・1) を用いて計算したソース / ドレイン間のトンネル電流

ブは、ソース、ドレイン間のトンネル電流が支配的になり、ゲートの制御が利かなくなるゲート長を実験から外挿によって求めた。図 V.1.6 は NEC が製作した特殊な構造の超微細（ゲート長 8nm）トランジスタの上面電子顕微鏡写真と構造模式図である。このトランジスタでは、短チャネル効果を防ぐために、浅いソース、ドレインとして、第 2 ゲート電極によって形成した浅い反転層を利用している。図 V.1.7 はゲート長 8nm と 52nm のトランジスタの特性の温度依存性を示す。低温側で特性が飽和した時の電流からソース、ドレイン間のトンネル電流を求め、その値がトランジスタの飽和電流と同程度になる時のゲート長を外挿によって求めた。その結果、彼らは SiMOSFET のゲート長の限界サイズは 5-6nm と予想した。図 V.1.8 にその後同グループによって報告されたゲート長 5nm の新聞記事である。その後現在（2017.9 月）までにこれ以下のサイズの報告例はない。図 V.1.9 は、筆者が (V・1・1) を用いて計算した、ソース、ドレイン間のトンネル電流のソース、ドレイン間距離（即ちゲート長）依存性である。トンネル障壁として Si のバンドギャップの値 (1.12eV) を用いると、ソース、ドレイン間のトンネル電流は十分小さく、トランジスタの飽和電流 (III・3・12) を用いて計算) に比べ無視できる。ソース、ドレイン間距離が近づくと、ソースとドレイン側の空乏層が重なり障壁高さが低くなる (図 III.5.3 参照)。この効果を考慮し、仮に障壁高さを 0.1-0.2eV とすると、図 V.1.9 に示すようにソース、ドレイン間のトンネル電流は著しく増加する。しかし、ソース・ドレイン間のトンネル電流の流れる断面積を乗ずると、障壁高さの低下を考慮しても、ゲート長 5-6nm では、ソース、ドレイン間トンネル電流は依然無視できる計算結果となる。0.1-0.2eV の障壁高さにおいてバイアス電圧 0.1V の条件下では、トンネル障壁は矩形ではなく三角形になっているため、Fowler-Nordheim トンネルの式を用いて計算する必要があると思われる。

(3) 不純物の統計ばらつきによるサイズ限界

トランジスタのゲート面積が小さくなると、ゲート直下のしきい値電圧を決めている不純物数が少なくなる。これに伴って不純物数の統計的ばらつきが増大し、トランジスタごとにしきい値電圧がばらつく現象が起き、回路動作が保証できなくなる。この様子を図 V.1.10 に示す。不純物原子のように、ランダムに分布する粒子数分布はポアソン分布となることが分かっている。ポアソン分布では、粒子数の平均値が N 個のとき、粒子数揺らぎ（標準偏差）は $\Delta N = \sqrt{N}$ となる。例えば $N=1000$ の時は、ばらつきは $\sqrt{1000} = 32$ 個と相対揺らぎは $32/1000=3.2\%$ となるが、デバイスが微細化し $N=100$ になると相対揺らぎは $\sqrt{100}/100=10\%$ と大きくなる。図 V.1.11 は不純物数揺らぎによる、しきい値電圧のばらつきを示す実験データである。実験におけるゲート長の範囲 (0.3-0.5 μm) では、ゲート長ばらつきによるしきい値電圧の変化は無視できることが挿入図に示されており、実効ゲート長が短くなるにつれて、

デバイスの縮小 → 不純物数(N)の揺らぎ → V_{th} (しきい値電圧)の揺らぎ

$$(\Delta N/N = \sqrt{N}/N = 1/\sqrt{N} : \text{ポアソン分布})$$

→ 回路が動作しなくなる

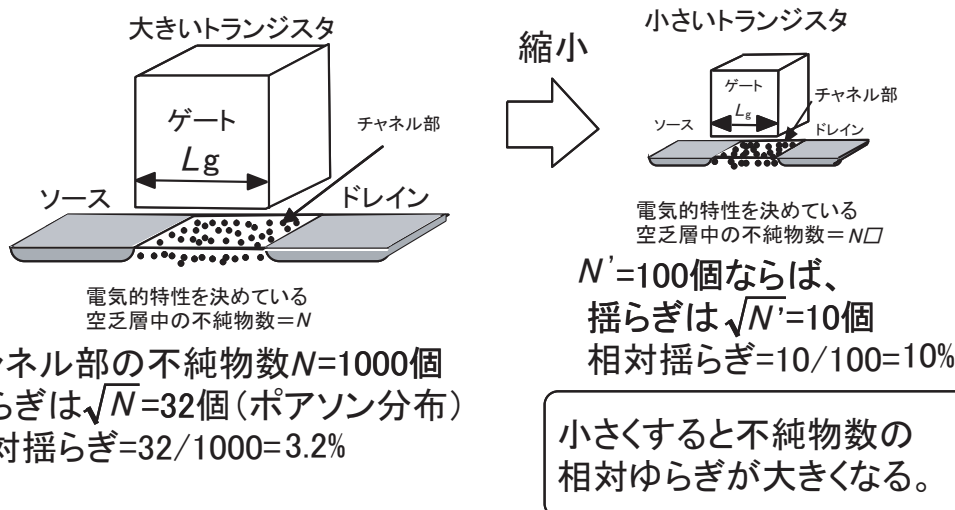


図 V. 1. 10 不純物数ゆらぎによるしきい値電圧のばらつき

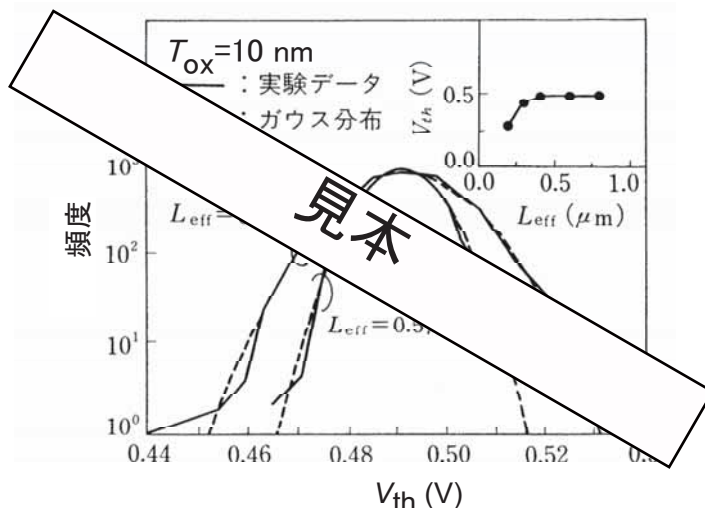


図 V. 1. 11 不純物数ゆらぎによるしきい値電圧のばらつきを示す実験データ

T. Kikuchi *et al.*, Internat. Electron Devices Meet. Tech. Dig. (1995) p. 926.

しきい値電圧のばらつきが大きくなる原因は不純物数揺らぎによるものと結論されている。

次に、上記 (1)–(3) の問題解決法について述べる。

(1) ゲート絶縁膜のトンネル電流抑制法

ゲート絶縁膜のトンネル電流を抑制して、トランジスタ特性を劣化させないためには、誘電率の大きな絶縁膜を用いて、ゲート絶縁膜厚をトンネル現象が起きないように厚くすれば良い。ゲート絶縁膜の役割は、静電誘導によって、半導体表面に反転層電荷を誘起させることにある。従って、ゲート絶縁膜容量が一定であれば、膜厚と誘電率の組み合わせは自由である。SiO₂の特徴は、Si との界面のエネルギーギャップ内の電子準位密度が 10⁹/cm²・eV と低いことである。この特徴が故に、これまでの Si 表面デバイスの全盛があったと言っても過言ではない。SiO₂の後継ゲート絶縁膜として、これまでに、ZrO₂(比誘電率 $k=25$)、HfO₂($k=30$)、Pr₂O₃($k=31$) などが研究されてきたが、現在 HfO₂ に Si を添加したハフニウムシリケート (HfSiO_x) が使われている。

(2) ソース・ドレイン間のトンネル電流抑制法

(V.1.1) より、トンネル電流を決める主要因は障壁高さ ϕ_B である。従って、図 V.1.1 に示す従来タイプのデバイス構造を採用する場合には、バンドギャップの大きい、例えば GaAs (バンドギャップ 1.43eV) を用いれば、Si より微細化極限を小さくできる。デバイス構造を従来タイプと異なるものにして、微細化極限を変える方法もあり得る。カーボンナノチューブを用いると極微細なトランジスタが形成できることが示されている。

(3) 不純物の統計ばらつきを抑制する方法

この解決法には、2つの方法がある。(1) 不純物濃度を極めて大きくし、微細デバイスでも十分大きな N を確保すること。(2) もう1つは、逆に N を十分小さくし、しきい値電圧は不純物濃度以外の(例えばゲート電極の仕事関数)によって制御するというものである。(1)の方法では、しきい値電圧が大きくなりすぎ、微細化と同時に低電圧化に向かうスケールリング則に反するので採用できない。従って、(2)の方法が現実的である。単純に基板濃度を低くするとパンチスルーを引き起こすので、これを防止するために、図 V.1.12(a) に示す silicon on insulator (SOI) ウェハを用いる。図 V.1.12(b) に示す従来型のバルク(塊の意味)トランジスタでは、ゲートに近い部分はゲート電圧によってキャリアの伝導を制御できるが、深い部分まで電気力線が到達しないので、パンチスルーが起きてしまう。これに対して SOI トランジスタでは、深い部分は埋め込み酸化膜(buried oxide)によって分離されているためパンチスルーが起きない。また、ソース、ドレインと基板との寄生容量も減少するので高速動作が可能である。さらに、チャンネルとなる Si 層の下にもゲートを配置することにより(ダブルゲート SOI トランジスタと呼ぶ)伝達(相互)コンダクタンスを大きくすることができる。SOI トランジスタでは、チャンネル Si 層の不純物濃度をゼロにしても動作可能である。これまでの議論では、トランジスタのしきい値電圧は、(III.3.1) および (III.5.1) で与えられ、基板不純物濃度 $N_A=0$ では、しきい値電圧は 0V となるが、これは正しくない。(III.3.1) の導出には、空乏層内ではキャリア密度が急峻にゼロとなる空乏近似を用いてきた。しかし、不純物濃度が小さくなった場合には、不純物濃度に比べてキャリア密度が十分小さくなるとは限らないので、空乏近似を用いることができない。次に示す、コンピュータを用いた数値計算をすることによって、半導体内の電界分布、電

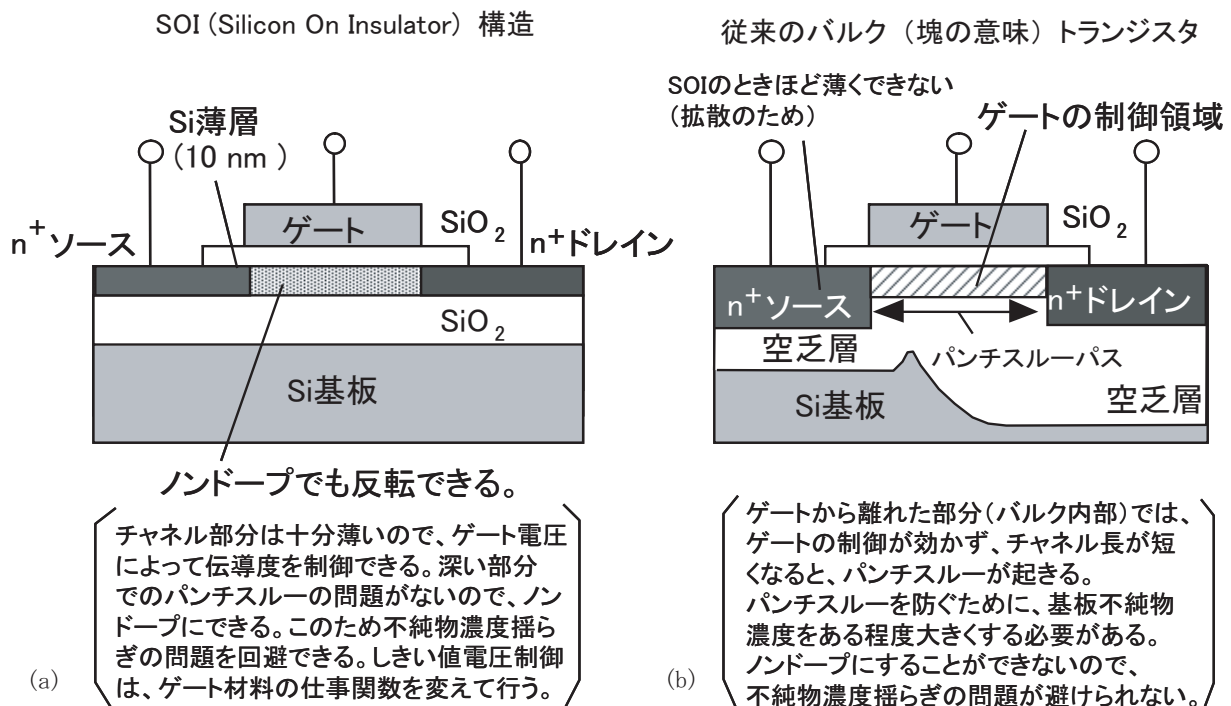


図 V.1.12 SOI トランジスタとバルク トランジスタ

位分布を求める必要がある。

・ i 型半導体内の電位分布

半導体内の電位分布は、一次元の場合は、ポアソン方程式

$$\frac{d^2\phi}{dx^2} = -\frac{\rho}{\epsilon} = -\frac{q}{\epsilon}(p + N_D - n - N_A) \quad (\text{V} \cdot 1 \cdot 2)$$

を、与えられた境界条件の下で解くことにより求められる。ここに、 x は位置座標、 ϕ は電位、 q は電子電荷、 N_D はイオン化ドナー濃度、 N_A はイオン化アクセプター濃度、 p はホール濃度、 n は電子濃度、 ϵ は半導体の誘電率である。これまで学習してきた空乏近似では、空乏層内では、 p および n は、 N_D や N_A に比べて十分小さいので $p = n = 0$ と近似して良かった。しかし、i 型半導体内または不純物濃度の低い i 型半導体に近い半導体内では、 N_D 、 N_A が小さい値なので、 $p=n=0$ の近似は使えない。この場合は、

$$\left. \begin{aligned} \rho &= q(p + N_D - n - N_A) \\ p &= n_i \exp(-q\phi/kT) \\ n &= n_i \exp(q\phi/kT) \end{aligned} \right\} \quad (\text{V} \cdot 1 \cdot 3)$$

と、 p および n を電位 ϕ の関数として表す必要がある。ただし、電位は半導体のバンドが曲がっていない平らな部分で $\phi = 0$ とする。ここに、 n_i は真性キャリア密度である。(V・1・3) を電荷密度とするポアソン方程式 (左右両辺に $\phi(x)$ を含む) をコンピュータを用いた数値計算によって解くと、半導体内のポテンシャル分布が求まる。

バンドの曲がり小さい場合は、 $N_D = N_A = 0$ 、 $p = n = 0$ 、すなわち電荷密度 $\rho = 0$ と近似でき、i 型半導体のバンドは直線的に曲がるという近似を使うことができる。

V・2 配線遅延・発熱

配線の節 IV.7 で述べたように、加工寸法の微細化に伴って、配線基板間の容量は減少するが、同一平面内の配線間容量は逆に増大する。その結果、総容量は図 V.2.1 に示すようにある加工寸法で最小値をとり、それ以下の加工寸法では逆に増大する。従って、微細化によって配線遅延が増大する結果となる。また、信号遅延だけでなく、容量の充放電による電力消費が問題となる。この問題を克服するために、低誘電率絶縁膜の開発が行われているが、それ以外に次のような方法がある。

- (1) 光配線
- (2) 電磁波配線
- (3) 宇宙船制御のような非同期型処理

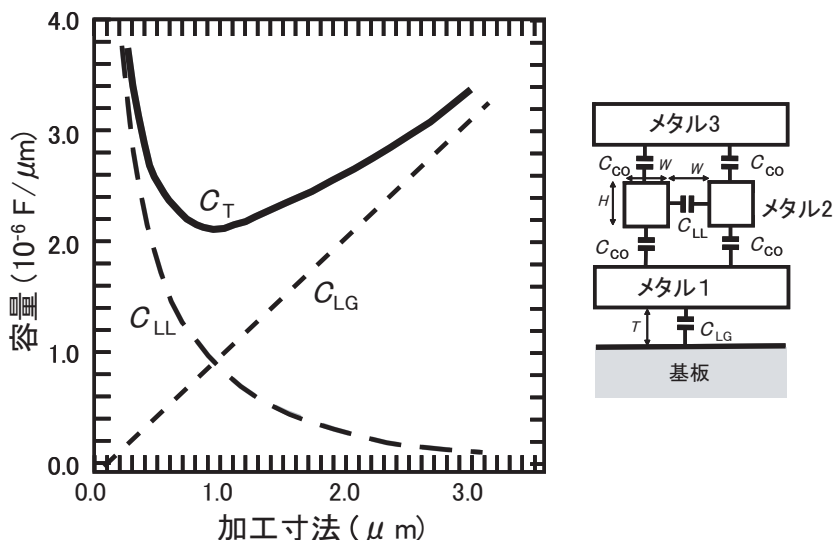


図 V.2.1 配線容量と加工寸法

発熱の問題

図 V.2.2 のインバータの発熱を考える。出力電圧が 0 から V (ボルト) まで変化する間に電源から回路に供給されるエネルギーは、 QV で与えられる。ここに Q は出力容量 C に蓄えられる電荷である。 $Q=CV$ なので、 $QV=CV^2$ 。一方出力容量 C に蓄えられるエネルギーは $CV^2/2$ である。従って、容量 C の充電時に回路で消費されるエネルギーは、 $QV-CV^2/2=CV^2/2$ 。一方、容量の放電時には、 $CV^2/2$ のエネルギーが熱エネルギーとして消費される。従って、1 回の充放電によって回路で消費されるエネルギーは、 $CV^2/2+CV^2/2=CV^2$ となる。クロック周波数 f 、回路数を n とすると 1 秒間の消費エネルギー即ち消費電力 $P=nfCV^2$ となる。即ち、集積度およびクロック周波数が増大すると消費電力密度が増大する。従って放熱を効率良く行わないと LSI の許容温度を超えてしまう。冷却には、通常空冷方式が用いられるが、高速な LSI では水冷方式が採用されている。冷却効率を上げるために、熱伝導率の高いダイヤモンドやカーボンナノチューブを用いる研究が行われている。また、容量に蓄えられたエネルギーを熱として消費せずに、次のサイクルではインダクタンスに移して、消費電力を減少させるような低消費電力回路の研究が必要である。

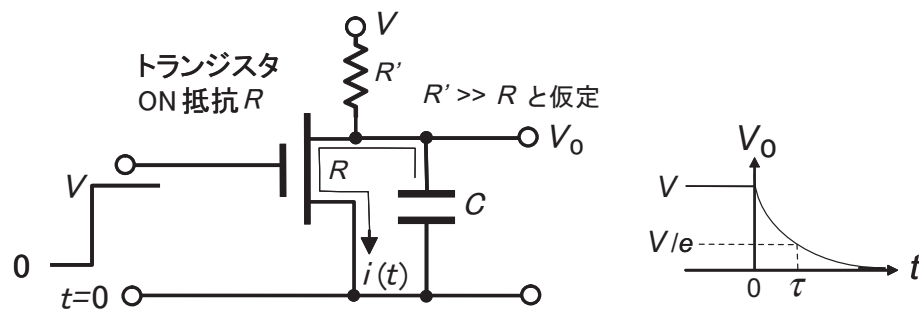


図 V.2.2 インバータ回路

V・3 速度・電力

LSI のクロック周波数は、図 IV.7.1 に示すように 4GHz 程度で飽和傾向にある。その原因は、長距離金属配線における信号遅延の問題もあるが、主要因は消費電力密度の増大である。即ちクロック周波数を増大させると、それに比例して消費電力が増大する。チップ面積が同じであれば消費電力密度が増大し、チップの発熱により許容温度を超えてしまう。この問題を回避するため、CPU を複数個使用して並列処理し、クロック周波数は増大させない方法が採られている。これにより、トータルの消費電力は同一であるが、消費電力密度は増大しないので、チップ温度の上昇が避けられる。消費電力密度を下げたければ、チップを複数にするのではなく、チップ面積を増大させれば良いと思われるかもしれないが、そうするとチップの歩留まりが大幅に下がってしまい、チップコストが増大する。チップ面積が A の時の歩留まり Y (良品率) は、IV.3-5 で示したように、

$$Y = \exp(-NDA) \quad (\text{IV} \cdot 3 \cdot 3) \quad (\text{再掲})$$

である。ここで、 N は工程数、 D は欠陥密度である。一方、面積が倍の $2A$ になると歩留まりは、

$$Y' = \exp(-2NDA) \quad (\text{V} \cdot 3 \cdot 1)$$

となる。両者の比をとると、

$$Y'/Y = \exp(-NDA) \quad (\text{V} \cdot 3 \cdot 2)$$

となり、 D がゼロでない限り必ず歩留まりは下がる。歩留まりが同じであって初めてチップ当たりのコストは面積に比例する。実際に数値を見てみよう。図 IV.3.18 より、 $D=0.5/\text{cm}^2$ の場合を例にとると、面積 20mm^2 のチップの歩留まりは 35% であるのに対して、面積 40mm^2 のチップの歩留まりは 12% と約 1/3 に減少する。即ち、チップ面積を倍にしたことによって、1 枚のウェーハから収穫できる良品チップの数が約 1/3 に減少するので、1 チップのコストは約 3 倍となる。一方、もとの面積のチップ 2 個分の価格は 2 チップ分であるから、面積を増大させずに小さな面積のチップを 2 個使用した方が得なことが分かる。

表 V. 1 LSI の性能を決める制約の階層構造

	理論限界	実用限界 (コスト、市場)
システム	システムアーキテクチャ	システム規模、検査時間
回路	回路方式	複雑さ
デバイス	デバイス構造	作り易さ
材料	飽和速度、耐圧	資源量
原理	熱力学、量子力学、光速	動作温度

コンピュータシステムの処理速度や、消費電力など、その性能限界を決める要因は、表 V. 1 のように階層的にまとめることができる。限界は、大きく理論限界と実用限界の 2 つに分けることができる。それぞれについて、原理的限界から、材料限界、デバイス限界、回路限界、システム限界へと階層的に限界がある。一般に上層の限界ほど制約が厳しくなる。次にスイッチング速度とスイッチングエネルギーについて考えてみよう。

・スイッチング速度

図 V. 2. 2 のインバータに矩形の入力電圧を印加した時の過渡応答について考える。回路方程式は次式となる。

$$\left. \begin{aligned} i(t)R + \frac{1}{C} \int i dt &= 0 \\ i(0) &= V/R \end{aligned} \right\} \quad (\text{V. 3. 3})$$

この方程式の解は、

$$\left. \begin{aligned} i(t) &= \frac{V}{R} (1 - \exp(-t/\tau)) \\ \tau &= CR. \end{aligned} \right\} \quad (\text{V. 3. 4})$$

スイッチングエネルギーは、次式となる。

$$E = \int_0^{\infty} i^2 R dt = \frac{1}{2} CV^2 \quad (\text{V. 3. 5})$$

スイッチングパワーは、 $P = E/\tau$

$$P\tau = E = \frac{1}{2} CV^2 \quad (\text{V. 3. 6})$$

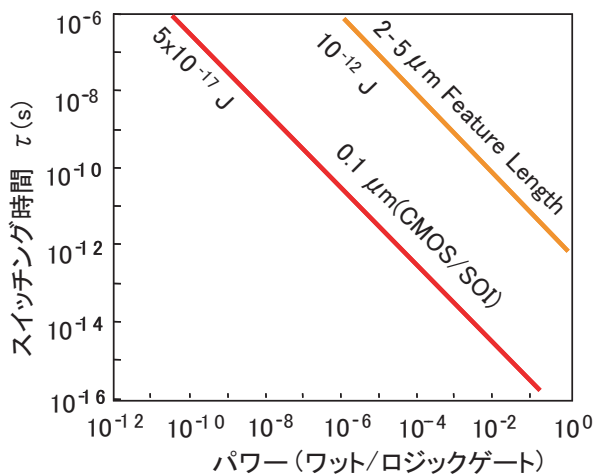


図 V. 3. 1 スイッチング時間と消費電力（パワー）の関係

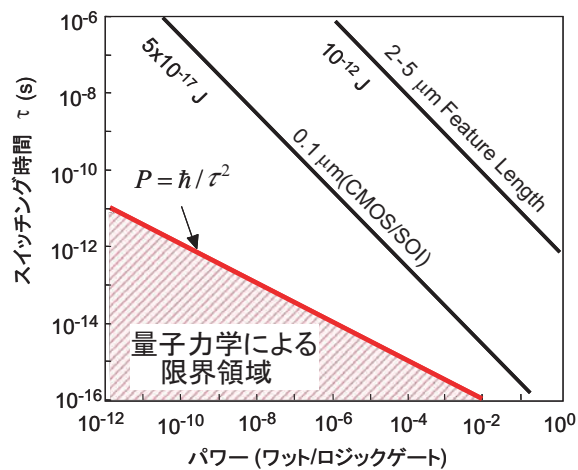


図 V. 3. 2 スイッチング時間と消費電力の量子力学的極限

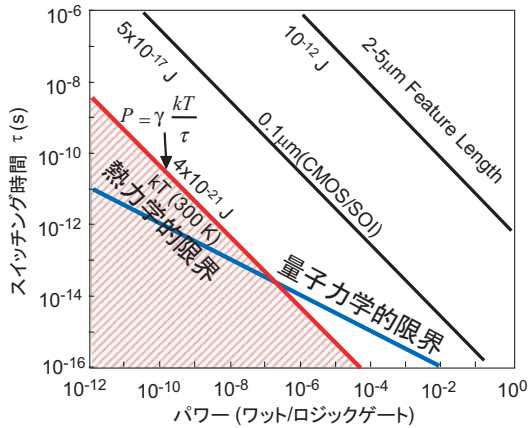


図 V. 3. 3 スイッチング時間と消費電力の熱力学的極限

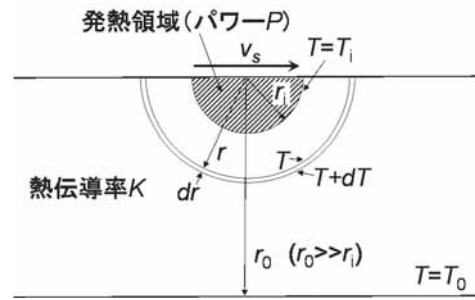


図 V. 3. 4 デバイスからの熱放散のモデル図

となる。即ちスイッチングパワーと遅延時間の積は、容量 C (デザインルールで決まる) と動作電圧 V で決まる。この関係を、図 V. 3. 1 のように両対数グラフで表す。(V. 3. 6) の両辺の対数をとると、

$$\log \tau = -\log P + \log E . \tag{V. 3. 7}$$

即ち、図 V. 3. 1 で傾き -1 の直線で表され、LSI のデザインルールの縮小と共に低パワー・短時間側にシフトしていく。

・スイッチングエネルギーの量子力学的極限

ハイゼンベルクの不確定性原理から、時間 Δt と、その間にスイッチング現象を起こすために必要なエネルギー ΔE との間には次の関係が成立する。

$$\Delta E \geq \frac{\hbar}{\Delta t}, \quad \hbar = \frac{h}{2\pi} \tag{V. 3. 8}$$

電力 (パワー) と遅延時間 ($\tau = \Delta t$) の間の関係に書き直すと、

$$P = \frac{\Delta E}{\Delta t} \Rightarrow P \geq \frac{\hbar}{(\Delta t)^2} \Rightarrow P \geq \frac{\hbar}{\tau^2} \quad (\Delta t \rightarrow \tau) . \tag{V. 3. 9}$$

この関係を、遅延時間ーパワーグラフ上に表すと、次の関係式から図 V. 3. 2 のようになる。

$$\log \tau \leq -\frac{1}{2} \log P - \log \hbar . \tag{V. 3. 10}$$

$\tau = 10\text{ps}$ とすると、スイッチングエネルギーの量子力学的極限 ΔE は、 10^{-23}J となる。この値は、 $0.1\mu\text{mCMOS}$ (on SOI) テクノロジーのスイッチングエネルギー $5 \times 10^{-17}\text{J}$ と比べると約 6 桁も少ない。

・スイッチングエネルギーの熱力学的極限

次に表題の極限を考える。スイッチングエネルギー E_s が熱エネルギー kT の数倍以上ないと熱エネルギーによる誤動作を起こす恐れがある。従って、

$$\begin{aligned} E_s &\geq \gamma kT \quad (\gamma = 2-4), \\ E_s &= P_s \tau \therefore P_s \geq \frac{\gamma kT}{\tau}, \\ \log \tau &\geq -\log P_s + \log \gamma kT. \end{aligned} \tag{V. 3. 11}$$

この関係を図示すると、図 V. 3. 3 のようになる。室温 (300K) のエネルギーは、 $4 \times 10^{-21}\text{J}$ であるので、この値と比べると $0.1\mu\text{mCMOS}$ (on SOI) のスイッチングエネルギーは約 4 桁大きい。

・スイッチングエネルギーの熱放散極限

図 V. 3. 4 に示すように、デバイスを半径 r_i の半球状熱源と考えると、熱放散によるスイッチング速度限界を考える。定常状態における 1 次元の熱伝導の式は、次式で与えられる。

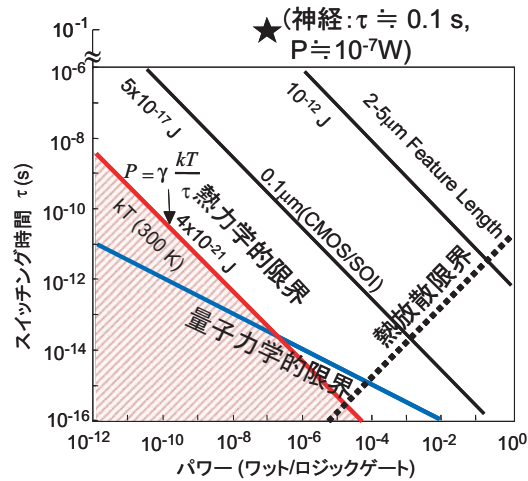


図 V. 3. 5 スイッチング時間と消費電力の熱放散極限

$$Q = K\Delta T \frac{S}{l} \quad (\text{V. 3. 12})$$

ここで、 Q は熱流、 K は熱伝導率、 S は断面積、 l は距離、 ΔT はその間の温度差である。 $Q = P_s$ (デバイスの発熱パワー) としてこの式を図 V. 3. 4 の半径 r と $r+dr$ の間に適用すると、

$$P_s = KdT \frac{2\pi r^2}{dr} \Rightarrow \frac{P_s}{2\pi r^2} dr = KdT \cdot \quad (\text{V. 3. 13})$$

積分して境界条件を入れると、

$$\frac{P_s}{2\pi} \int_{r_i}^{r_0} \frac{dr}{r^2} = K \int_{T_i}^{T_o} dT \Rightarrow \frac{P_s}{2\pi} \left[-\frac{1}{r} \right]_{r_i}^{r_0} = K[T]_{T_i}^{T_o}, \quad (\text{V. 3. 14})$$

$$\frac{P_s}{2\pi r_i} = K(T_o - T_i) \equiv K\Delta T, \quad 2r_i = v_s \tau \cdot \quad (\text{V. 3. 15})$$

ここで、 v_s はキャリアの速度、 τ はスイッチング時間である。

ΔT を最大許容温度差と考えると、

$$P_s \leq \tau(\pi K v_s \Delta T), \quad \log \tau \geq \log P_s - \log(\pi K v_s \Delta T). \quad (\text{V. 3. 16})$$

この関係を、ある熱伝導率、キャリア速度について図示すると、図 V. 3. 5 の右下の点線のようになる。この他に、材料の絶縁破壊強度、デバイス構造、回路構成、システム構成などによる限界があるがここでは割愛する。

V・4 今後のLSI

今後のLSIについて考える前に、最近のトランジスタの高性能化技術の例を紹介する。色々な試みがあるが、主なものを列挙する。

1. SOI(Si on Insulator) 基板の導入
2. 新しいチャネル材料によるモビリティの向上
 - ・面方位によるモビリティの向上
 - ・SiGe, Ge, GaAs などの新半導体材料
 - ・歪導入によるモビリティの向上
3. 立体構造による電流駆動力の向上
 - FinFET, ビームトランジスタなど

上記のうち、いくつかについて紹介する。表 V. 2 は各種半導体のキャリア (電子と正孔) 移動度を示す。電子移動度の最も大きいのは InSb、正孔移動度の最も大きいのは PbTe であるが、エネルギーギャップ

プが小さい (0.17, 0.31eV) ため、デバイス構造、動作温度に注意が必要である。図 V. 4. 1 に、InSb を用いた 305GHz で動作する FET を示す。60nm ゲート長の Si-FET に比べ、動作速度で 1.5 倍、消費電力 1/10 を実現している。今後の LSI では、このように特徴を持った複数の材料を一つの基板上に集積させる技術が重要になるであろう。その例を図 V. 4. 2 に示す。歪みを導入することにより移動度が向上することが知られている。図 V. 4. 3 は面方位による移動度の増大を利用した高速化・集積度向上法を示す。Si の場合、(111) 面内の正孔の移動度は (100) 面のそれに比べ 1.5 倍大きい。このことを利用すると、CMOS の面積を約 1/2 に縮小可能である。この技術が使えるようになった理由は、Kr/O₂ プラズマ酸化、および Ar/N₂/H₂ プラズマ窒化により高品質酸化膜および高品質窒化膜が (111) 面上に形成できるようになったことにある。図 V. 4. 4 は Fin (魚のひれの意味) FET と呼ばれる SOI トランジスタである。これまで平面であったトランジスタを縦にした形をしている。Intel により実用化されている。このトランジスタの特徴を列挙すると、

- (1) 伝達 (相互) コンダクタンスが大きい (チャネルが 2 または 3 つある)
- (2) デバイス面積の縮小
- (3) 電流駆動力の向上。

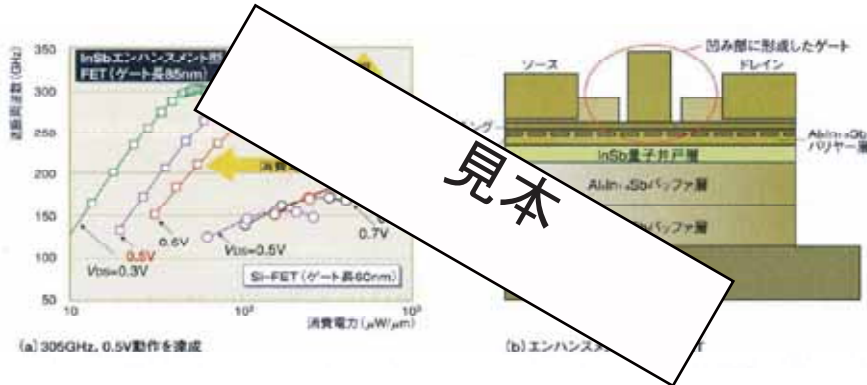
次に、これからの LSI はどのように進化していくのか考えてみよう。

表 V. 2 各種半導体のキャリア移動度

	Si	Ge	GaAs	InSb	PbTe
電子移動度 (cm ² /Vs)	1500	3900	8500	80000	6000
応力印加時	増加 (引張応力方向)				
正孔移動度 (cm ² /Vs)	600	1900	400	125	4000
	(111) 面内では (100) の1.5 倍				
応力印加時	増加 (2軸引張応力 1軸圧縮応力)				
バンドギャップ E _g (eV)	1.12	0.66	1.42	0.17	0.31

IntelがポストSi時代への指針

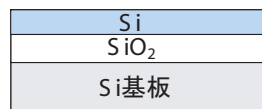
—InSbで305GHzを達成—



NIKKEI MICRODEVICES 2006, Feb. p.3.

図 V. 4. 1 InSb を用いた高速・低消費電力 FET

SOI : Si on Insulator



歪 SOI
歪 Si層

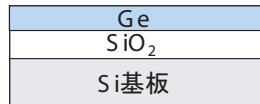


高ホール移動度材料と高電子移動度材料を組み合わせた

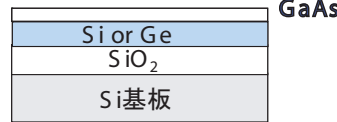
CMOS

例

GOI : Ge on Insulator



GaAsOI : GaAs on Insulator



これらに歪み導入

図 V. 4. 2 今後の高速化手法

Si(111)基板を用いてCMOSの集積度を2倍に

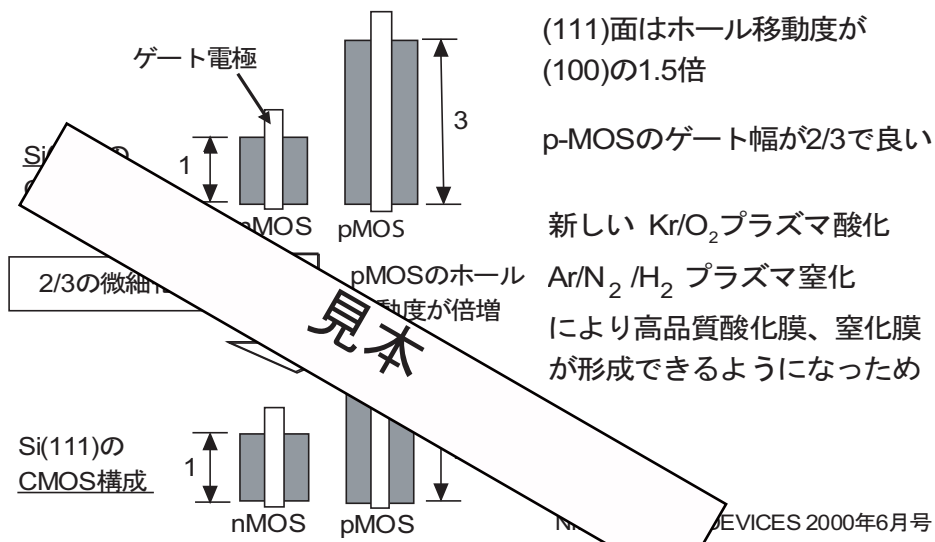


図 V. 4. 3 (111) 面方位を用いた正孔移動度増大 FET

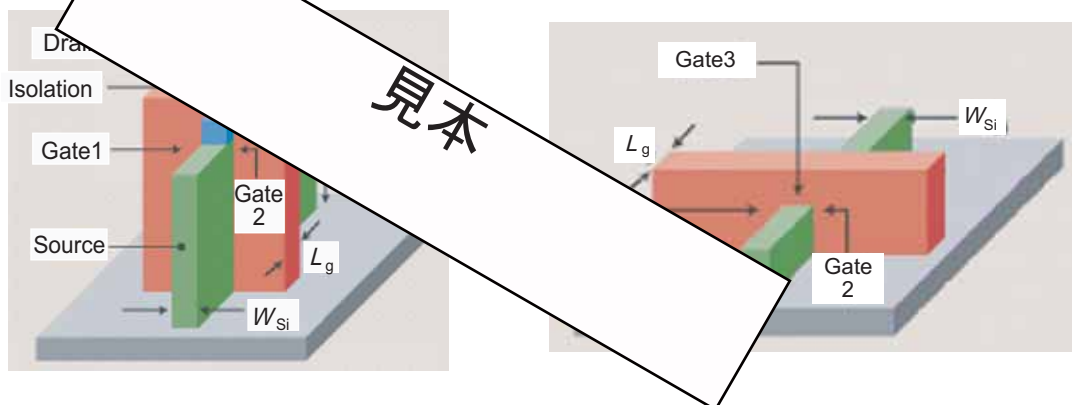
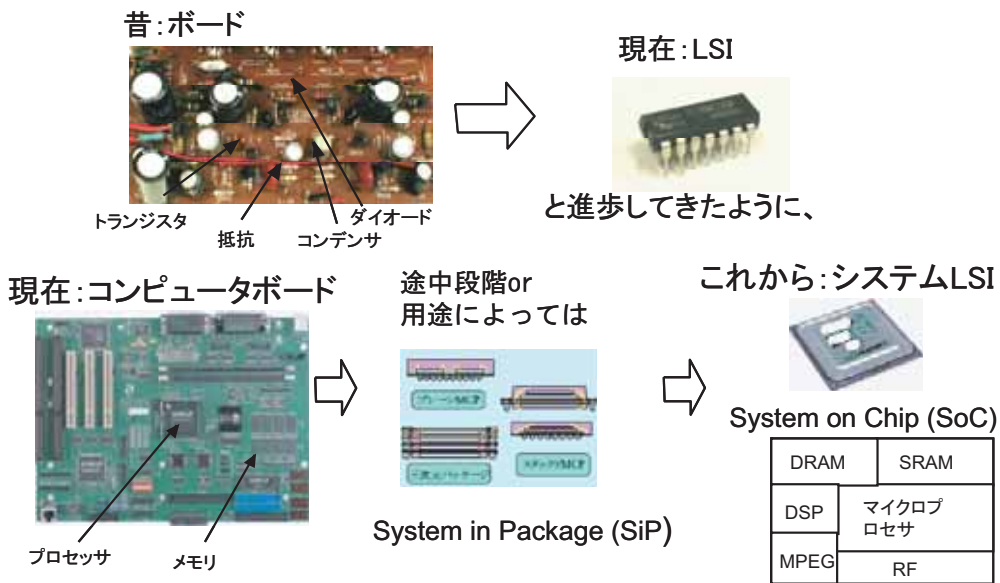


図 V. 4. 4 底面積・高電流駆動の FinFET

・システムLSI

図 V. 4.5 の上の図は、それまで個別部品を半田付けして形成していたプリント基板が、現在の LSI に進化したことを示す。同様に、現在、複数の LSI (CPU, メモリ、I/O 用 LSI など) をプリント基板上に形成しているものが、将来は、最終的にはひとつの LSI の中に収まる (System LSI または System on a Chip)。しかし、ひとつの基板上に、種類の異なる LSI を作りつけるには、現在の技術ではコストがかかり過ぎるので、過渡期として、複数の LSI を実装技術によって1つのパッケージに収める System in Package (SiP) が当面用いられると思われる。このような SiP は、すでに携帯電話やデジタルカメラなどに盛んに用いられている。表 V.3 に、各種の SiP の方式を示す。初期の三次元 SiP では、チップを積層した後、ワイヤボンディングによって各チップを電気的に接続する方法が主に用いられてきた (図 V. 4.6(a))。この方法では、チップ中心付近の回路は、周辺まで配線を引き伸ばした後上下層のチップに接続するので、三次元化による配線長短縮のメリットがあまりない。最近、Si ウェハ



*DRAM: Dynamic Random Access memory, SRAM: Static RAM, DSP: Digital Signal Processor, MPEG: Moving Picture Experts Group, RF: Radio Frequency

図 V. 4.5 今後の LSI の進化の方向

表 V.3 各種 System in Package (SiP) (NIKKEI MICRODRVICES 2005 3月号より引用)

構造の型	構造図	構造の特徴
チップレベル型	チップオンチップ型 	高速化に対応。 チップの積層数に制限あり。 下のチップにダメージを与えない工夫が必要。
パッケージレベル型		低コスト。 チップの大きさに制約。 チップの積層数は最大4程度とされる。
ウェハレベル型		高歩留率により種々のチップに対応。 製造が容易。
プレーン MCP 型 MCP: Multi-chip Package		搭載チップ間の接続が課題。 搭載チップ間の接続がない。 スタック型に比較して、実装面積が大きくなるという課題あり。

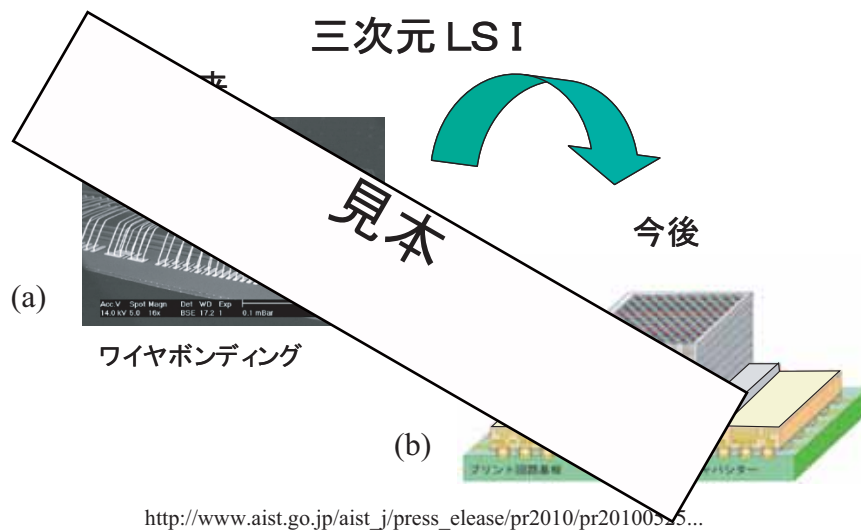


図 V. 4. 6 三次元 LSI の進化：ワイヤボンディングから Si 貫通電極構造へ

Si ウェハに貫通孔を開け、銅を埋め込む

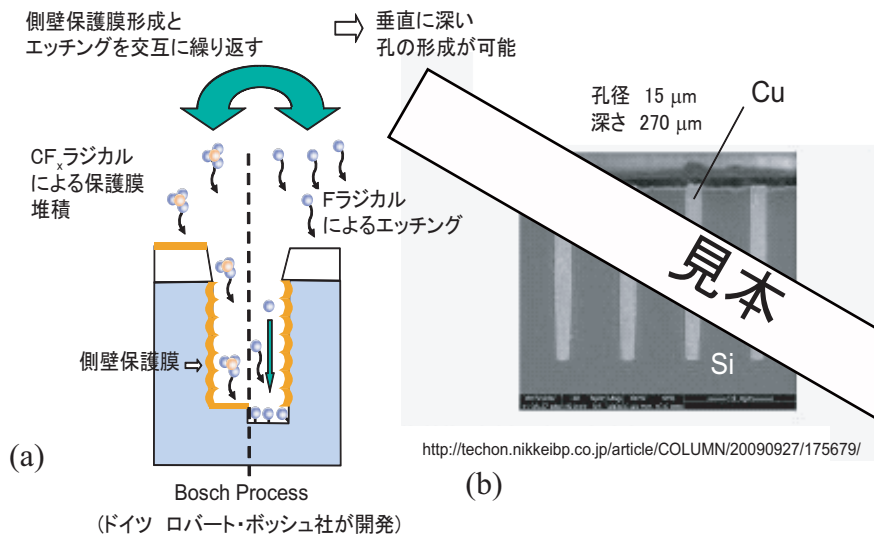


図 V. 4. 7 (a) Si ウェハに貫通孔を開ける Bosch Process, (b) 孔に銅を埋め込んだもの

に貫通孔を開け (Through Silicon Via: TSV)、そこに金属 (通常銅) を埋め込み、これを積層して三次元 LSI を作製する技術が開発された。その構造を図 V. 4. 6 (b) に示す。直径 $10\mu\text{m}$ 程度、深さ数百 μm の非常に細長い孔を開ける方法として、エッチングと側壁保護膜形成を交互に行う、Bosch Process が用いられている (ドイツのロバート・ボッシュ社が開発、図 V. 4. 7 参照)。

図 V. 4. 8 にシステム LSI の市場拡大予測を示す。2012 年には、世界の半導体市場の 90% 以上をシステム LSI が占めると予想されている。システム LSI 全盛の時代になると、半導体産業も様変わりする。表 V. 4 にその様子を示す。製造面では、これまでウェーハの大口径化やデバイスサイズの縮小がメインの仕事であったものが、システム LSI 全盛時代にはこの傾向は飽和し、コスト削減や環境に配慮した製造プロセスが求められるようになる。設計面では、メモリとロジック LSI を、これまで別々に設計していたものが、システム LSI としてひとつのチップ上に載せるためには、両者をあわせたシステムとしての設計が求められる。さらに高速・低消費電力の LSI を短期間で設計しないと競合メーカーとの競争に敗れるであろう。製品としては、従来、メモリあるいは CPU が主力生産品であったものが、ほとんどの製品が、それらを包含したシステム LSI となる。

図 V. 4. 9 に、地域別企業の半導体売上高シェアの推移を示す。1980 年代後半に、日本が首位であっ

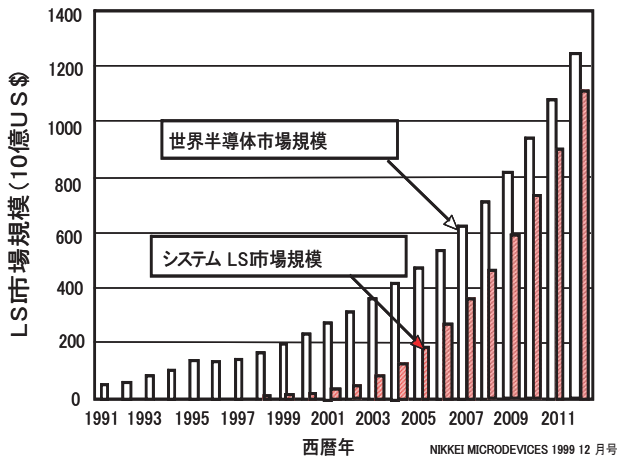


図 V. 4. 8 システム LSI の市場拡大予想

表 V. 4 半導体産業の変化

	従来	これから
製品	メモリ	システムLSI (System on Chip)
設計	メモリ、ロジック別設計	システム的设计 高速・低消費電力 短期設計
製造	大口径化	コスト削減 環境に配慮

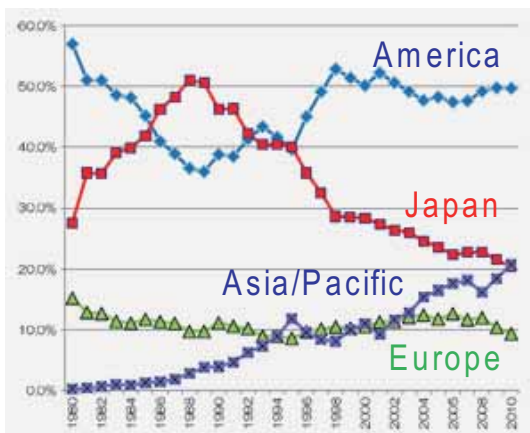


図 V. 4. 9 地域別企業の半導体売上高シェア推移
出典：経済産業省資料 <http://blogos.com/article/33080/>

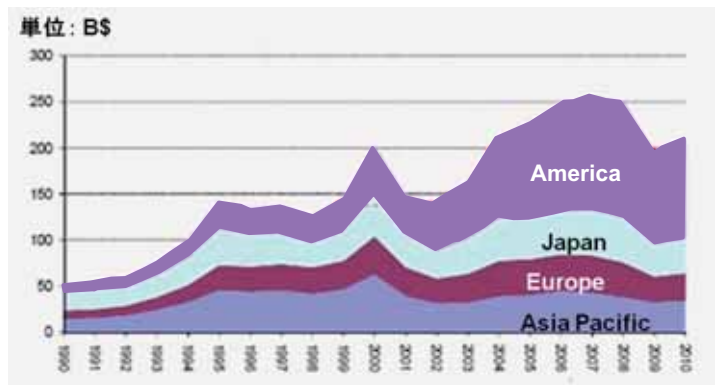


図 V. 4. 10 世界・日本の半導体産業の市場推移
<http://www.onlinemarketing-trends.com/2011/02/semiconductors-worldwide-market-by.html>

たものが、バブル崩壊以降急速に低下し 2010 年には 20% 近くに落ち込んでいる。アメリカの復興とアジア諸国（韓国、台湾）の台頭が顕著である。一方世界全体の半導体産業の市場を見ると図 V. 4. 10 に示すように、20 年間に 5 倍にも増大している。半導体産業は、これからもリーディング産業であり続けると思われる。

これまでの集積回路の集積度と、その時代の特徴を振り返って見ると、
 キロ時代は、微細加工の時代であった（ミクロンオーダーの加工）。
 メガ時代は、構造革新の時代（サブミクロン）。
 ギガ時代は、材料革命の時代（デカナノメータ）。
 その先は、量子効果を利用した新しいデバイスの時代になるであろう。

現在（2016 年）はギガ時代であり、ゲート酸化膜をはじめ、層間絶縁膜、配線方法などが変わる激動の時代である。その中で、切磋琢磨して、すばらしい技術を開発していくことは、半導体産業における日本の復権にとって重要なことである。

今後半導体技術が進歩し、ますます便利な時代になるが、科学や技術の本来の目的は、人類の幸福に役立ることであることを忘れてはならない。半導体技術は、今後、医療、福祉ロボットなど様々な面で益々重要になる。戦争の絶えない世界情勢、残酷な犯罪の激増する日本の社会情勢、交通事故による多数の犠牲者などの問題解決にも半導体技術の活躍の場は広がっていくであろう。

問題 V.

- (1) (V・1・1)を用いて酸化膜厚が 1nm、酸化膜電圧 1V のときの直接トンネル電流を計算せよ。ただし、トンネル電子の有効質量は $0.28m_0$ 、トンネル障壁高さは 3.25eV とする。
- (2) (V・1・1)を用いてソース、ドレイン間のトンネル電流を計算せよ。ただし、ソースドレイン間距離を 5nm、酸化膜電圧 0.1V、トンネル電子の有効質量は $0.28m_0$ 、トンネル障壁高さは 0.2eV とする。また、トンネル断面積 (SOI の場合、シリコン層厚×チャネル幅) を $2 \times 10^{-12} \text{cm}^2$ とする。
- (3) ソース、ドレイン (共に n 型) 間距離が近づくと、空乏層が重なりあうため、障壁高さはバンドギャップ付近の値から減少する。ソース、ドレイン間距離を L_p とするとき、障壁高さは次式になることを導け。ここで、 ϵ_s は半導体の誘電率である。

$$\phi_B = \frac{1}{8} \left(\frac{N_A + N_D}{N_D} \right) \frac{q N_A L_p^2}{\epsilon_s}$$

- (4) 0.1 ミクロンゲート長 MOSFET において、スイッチング速度 1ps を実現するための、スイッチング電力は何ワットか。図 V.3.2 より読み取れ。また、この値は、量子力学的限界値に比べ何桁大きいか。
- (5) MOSFET のしきい値電圧は、(III・2・10) で与えられる。不純物濃度が増変化した時、しきい値電圧の変化量と不純物濃度の変化量との間の関係式を導出せよ。ただし、(III・2・10) の第 1 項が支配的な場合と、第 2 項が支配的な場合に分けて議論せよ。(簡単のため第 3 項以下は無視する)
- (6) 立ち上がりおよび立下り時間が Δt 、周波数 f の台形波電圧を、CMOS インバータに入力した時の、貫通電流による消費電力と、出力容量の充放電による消費電力を比較せよ。どのような場合にどちらが支配的になるか。ただし、貫通電流と入力電圧の関係を表すグラフは三角形近似せよ。

●コラム 4

短期 CMOS 回路作製挑戦記

NMOS トランジスタ回路の実習を 2007 年より毎年実施していることはコラム 3 に書いた。その時の受講生の感想文の中に、現在は NMOS 回路ではなく CMOS 回路が広く使われており、その実習をやって欲しいという声が多数あった。そこで 2016 年 7 月から 8 月にかけて、実習用に設計から製作、測定までを 1 週間で行えるプロセスを開発した。基本はコラム 3 に書いた LOCOS 不使用、Al ゲート・配線兼用プロセスである。n-Well を形成しさえすれば後は、NMOS とほとんど同じプロセスでできるはずであり、早速挑戦した。行程を次頁の図コラム 4.1 に示す。

1 回目は、n-Well を形成した基板の上に 2015 年と同じプロセスで NMOS を、図コラム 4.1 のプロセスで PMOS を 3 日で作製したが、両者共にゲートリーク電流が大きい不良となった。原因は、(1) NMOS ソース / ドレインの砒素インプラ時にイオン電流が大きくレジストが炭化してきれいに除去できなかったこと、(2) イオン注入用保護酸化膜をそのままゲート絶縁膜として使用したこと、(3) n-well を形成する際の高温 (1150°C) 長時間 (9 時間) の窒素ガス中での熱処理時に、シリコンが窒化し IV 章の犠牲酸化の項で述べたホワイトリボンのようなものが形成されたためではないかと考えた。

そこで、2 回目の試作 (所要日数 4 日) では、(1) 本ゲート酸化の前に犠牲酸化を 1 回行ってホワイトリボン (もしあれば) を除去した。(2) NMOS のソース / ドレインの砒素インプラ時のイオン電流を 50 μ A から 10 μ A に低減させレジストを除去し易くした。また、レジストが除去され易い酸素プラズマ処理条件を見出した (2 枚以内、30 分以上)。(3) インプラ後に保護酸化膜を除去し新たにゲート酸化を行った。(4) その際コラム 3 に書いたようにゲート酸化の前後に十分な熱処理を行いソース / ドレイン接合を十分深くした。その結果、NMOS 特性は改善されたが歩留りは悪かった。PMOS のソース / ドレインと基板間のリーク電流は依然大きいままであった。

3 回目の試作では、(1) NMOS のアクティブ領域エッチングを n-well 形成の後にし、(2) n-well の濃度を 3 種類振って閾値電圧を調整した。(3) 本ゲート酸化の前の犠牲酸化の回数を 2 回に増やしてホワイトリボンの完全除去を目指した。(4) 砒素インプラの他に隣の熱拡散によって n⁺ 領域を作る方法を CMOS に先だって NMOS のみに適用した。その結果、どちらも良好な特性であったため、将来的に微細化に有利な砒素を用いることとした。

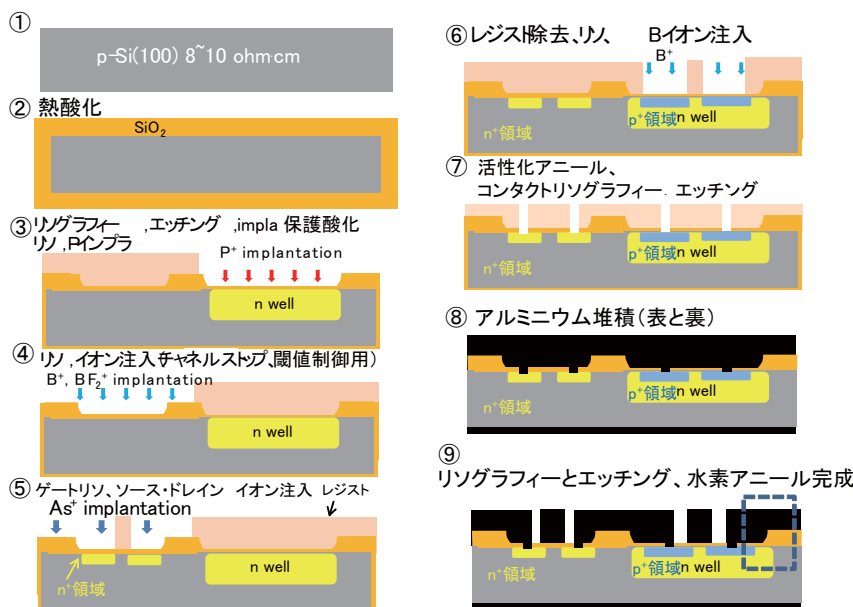
その結果、NMOS の特性はほぼ理想的なものになり歩留りも向上した。しかし、依然 PMOS のソース / ドレインと基板間のリーク電流は高電圧下では大きいままであった。また、NMOSFET と PMOSFET の閾値電圧はそれぞれ、0.6V と -0.85V とアンバランスであった。

そこで、4 回目の試作では、(1) NMOS のチャネルドーパ量を増やし、(2) またゲート酸化前後のアニールをそれ以前の 950°C から 850°C に下げて基板表面の B 濃度の減少を防止し閾値電圧の低下防止を図った。その結果、それぞれの閾値電圧は 0.9V と -0.85V とほぼバランス良くできた。しかし、依然 PMOS のソース / ドレインと基板間のリーク電流はドレイン電圧の絶対値が 2.5V 以上で増大する結果となった。その特性はどのデバイスでも同じであった。そこで、構造上の問題があると疑った。図コラム 4.1 の完成図の点線内を見ると、そこに寄生 PMOS トランジスタが形成されていて、その閾値電圧を計算してみると -2.5V であることが分かった。寄生トランジスタの基板表面に砒素インプラで n⁺ 層を作

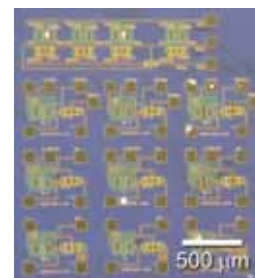
ることでこの問題は解決できる。電源電圧 2.5V 以下ではリークの問題もなく、インバータ、リングオシレータなどが良い特性で動作している。

どの失敗も後になって落ち着いて考えてみれば、ごく当たり前のことであるが、期限が決まっている実際の製作現場では容易に気付かなかった。「失敗は成功のもと」という諺通りではあるが、失敗にめげず、何度も挑戦する勇気とエネルギーが重要である。

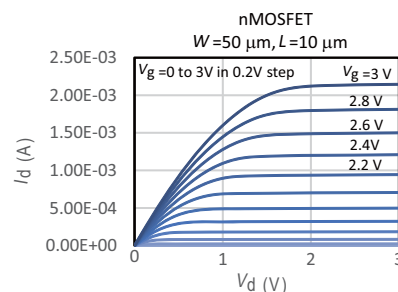
2017 年度の集積回路実習は 7 月 31 日（月）～ 8 月 5 日（土）に開催し、スリランカモラトゥワ大学の学生 5 名を含む 18 名の参加があった。2 日で設計し、n-well まで完成したウェハを用いて 3 日で CMOS を作製し、残りの 2 日で測定を行った。上記 PMOSFET の寄生ランジスタによるリークを低減させるために、新たに PMOSFET 用のフィールド酸化膜を形成した。しきい値電圧の絶対値は p, n チャネル共に 1.09V と非常にバランス良くできた。今後は、市販では得られない CMOS と他のデバイス（センサー、MEMS や光集積回路）を組み合わせた独自性のある集積回路を開発していく予定である。



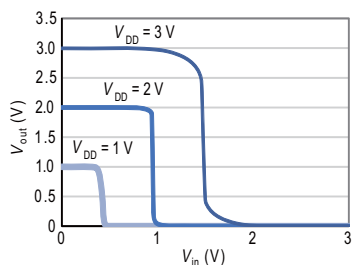
図コラム 4.1 CMOS 製作プロセス



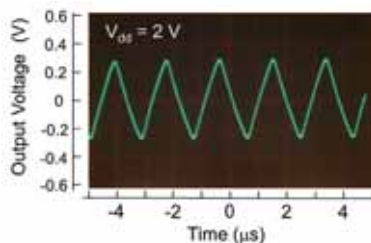
図コラム 4.2 四回目試作の CMOS チップ写真



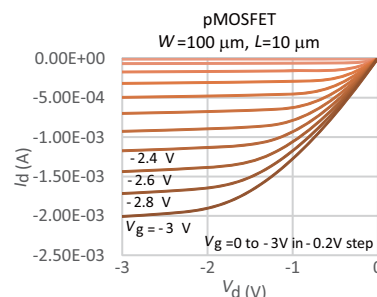
図コラム 4.3 四回目試作の CMOS の中の NMOS 特性



図コラム 4.5 四回目試作の CMOS のインバータ特性



図コラム 4.6 四回目試作の CMOS リングオシレータの発振波形



図コラム 4.4 四回目試作の CMOS の中の PMOS 特性

付録 I (補足事項)

I.1 三次元空間でのドリフト電流式の導出

テキスト本文 II.5 電子、正孔の輸送機構のドリフト電流の節では、1次元系におけるドリフト電流を古典力学によって考察し、(II・5・4)を得た。ここでは、三次元系におけるドリフト電流を古典力学によって考察し、移動度 μ_e と平均衝突時間 τ と有効質量 m_e との関係を求める。

定常状態では、電子は外部電界によって初速度 = 熱速度 v_{th} から加速され、平均自由行程 l を、平均衝突時間 (または緩和時間) τ だけかけて進んだ後散乱され、それまでに電界から得たエネルギーを散乱中心 (例えば格子) にもどし、再度熱速度でランダム方向に (等方的に) 散乱される、という行程が繰り返されている。散乱後、電界によって加速されて電界と逆方向に進む電子の数と、電界によって減速されてそれと反対方向に進む電子数との差が正味の電流となる。熱速度は $m_e v_{th}^2 / 2 = 3kT / 2$ で与えられる。ここに、 m_e は Si の伝導電子の有効質量である。

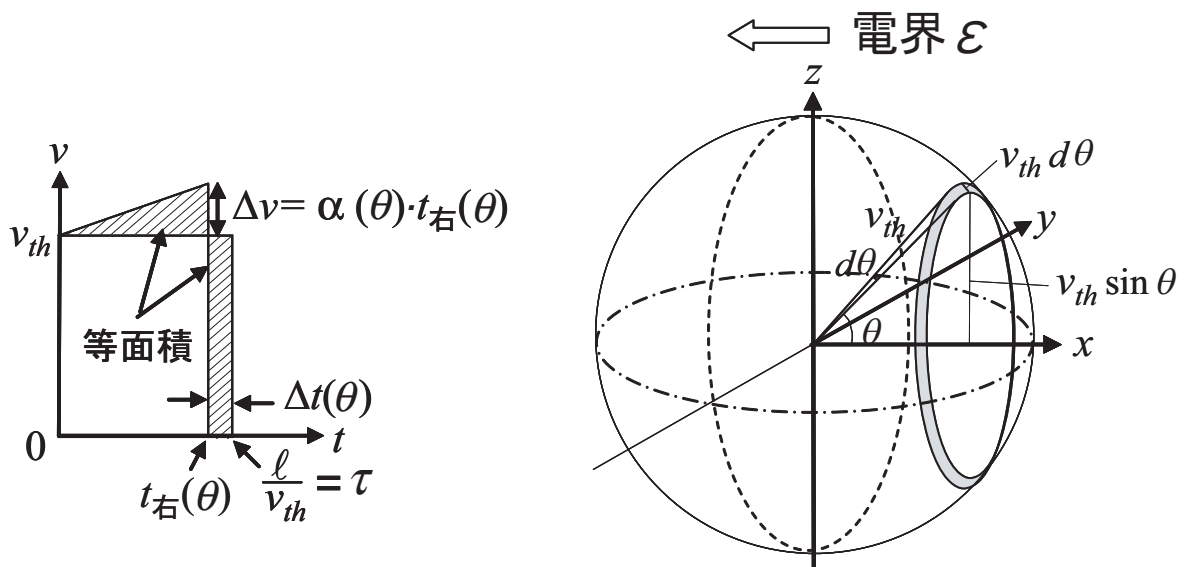
例として一定密度で存在する不純物による散乱を考える。平均自由行程 l を一定と仮定するのが妥当と考えられる。このときの電子の衝突時間について考える。付図 .1 に示すように、電界の無い場合には電子の速度は一定で、衝突時間 $l / v_{th} = \tau$ の後に次の散乱を起こす。-x 軸方向に電界 \mathcal{E} を印加すると、電子は θ 方向に $q\mathcal{E}\cos\theta$ の力を受け、加速度 $\alpha(\theta)$ は、

$$\alpha(\theta) = a \cos\theta = q\mathcal{E}\cos\theta / m_e \tag{付録 I・1・1}$$

となる。付図 .1 で右方向に電界によって加速される電子を考えると、スピードが早くなるため、平均自由行程 l 一定の仮定の下では、衝突時間は l / v_{th} より $\Delta t(\theta)$ だけ短縮され $t_{右}(\theta)$ となる。速度を積分したものが移動距離になるので、図の斜線部の面積は等しく、

$$\frac{\Delta v t_{右}(\theta)}{2} = v_{th} \Delta t(\theta) \tag{付録 I・1・2}$$

となる。



付図 .1 電界によるドリフト時の電子の速度変化の様子

付図 .2 三次元ドリフト電子の θ 方向の密度計算用の図

ここで、 Δv は θ 方向の速度の増加分である。
従って、加速された電子の平均の速度は次の式で与えられる。

$$\overline{v(\theta)} = \frac{\ell}{\tau - \Delta t(\theta)}. \quad (\text{付録 I} \cdot 1 \cdot 3)$$

付図 .2 を参照して、右方向の電子の流れを近似計算すると、次のようになる。

$$I_{\text{右}} = \int_0^{\frac{\pi}{2}} \overline{v(\theta)} \cos \theta \cdot n \frac{2\pi v_{th} \sin \theta v_{th} d\theta}{4\pi v_{th}^2} \quad (\text{付録 I} \cdot 1 \cdot 4)$$

$$\approx n \int_0^{\frac{\pi}{2}} \frac{\sin \theta \cos \theta}{2} v_{th} \left(1 + \frac{\alpha}{2} \frac{\ell}{v_{th}^2} \cos \theta \right) d\theta \quad (\text{付録 I} \cdot 1 \cdot 5)$$

$$= \frac{nv_{th}}{4} \left(1 + \frac{\alpha\ell}{3v_{th}^2} \right). \quad (\text{付録 I} \cdot 1 \cdot 6)$$

ここで、 n は電子密度、 α は x 方向の加速度で、(付録 I・1・1) より与えられる。計算では、 $\Delta v \ll v_{th}$ を用いて近似計算を行った。

同様に、左方向の電子の流れを計算すると、次式となる。

$$I_{\text{左}} \approx \frac{nv_{th}}{4} \left(1 - \frac{\alpha\ell}{3v_{th}^2} \right). \quad (\text{付録 I} \cdot 1 \cdot 7)$$

x 方向の正味の流れは、 $I_{\text{右}} - I_{\text{左}}$ で与えられ、

$$I = I_{\text{右}} - I_{\text{左}} \approx \frac{nv_{th}}{4} \left(\frac{2\alpha\ell}{3v_{th}^2} \right) = \frac{n\alpha\ell}{6v_{th}} = \frac{nq\mathcal{E}\tau}{6m_e} \equiv nv_x \quad (\text{付録 I} \cdot 1 \cdot 8)$$

$$\therefore v_x = \frac{q\mathcal{E}\tau}{6m_e} \quad (\text{付録 I} \cdot 1 \cdot 9)$$

となる。これより、三次元ドリフト電子の移動度が、

$$\mu_e = q\tau/6m_e \quad (\text{II} \cdot 5 \cdot 6)$$

と求まる。

I.2 n-p-n 接合における障壁高さの p 層膜厚依存性 (パンチスルー効果)

付図 .3 に、p 層の厚さ L_p を変えた時の、電荷分布、電界分布、および電位分布を示す。 L_p が (III.1.5) 式の $W_{d(p)}$ の 2 倍以上の値の時は、(a) 図のように、通常の pn 接合を 2 つ直列に接続したものとして、III.1 節と同様にして電界、電位分布が求まる。 $L_p = 2W_{d(p)}$ になると、p 層の中性領域の厚さがゼロとなる (b) 図)。ここまでは、障壁の高さは (III.1.6) の ϕ_{bi} (内蔵電位、または拡散電位) のまま変わらない。 L_p がこれ以下に短くなると、図 (c) に示すように障壁高さ ϕ_B は急速に減少する。電荷を左側から積分すると電界が、電界を左側から積分すると電位が求まる。図を用いると簡単に電位障壁が求まる。

図 (c) において、中性条件より、

$$2qN_D W_n = qN_A L_p \therefore W_n = \frac{N_A L_p}{2N_D} \tag{付録 I.2.1}$$

次に、最大電界は、 n^+/p 界面で生じ、 n^+ 空乏層電荷を積分して誘電率で除して得られる故、

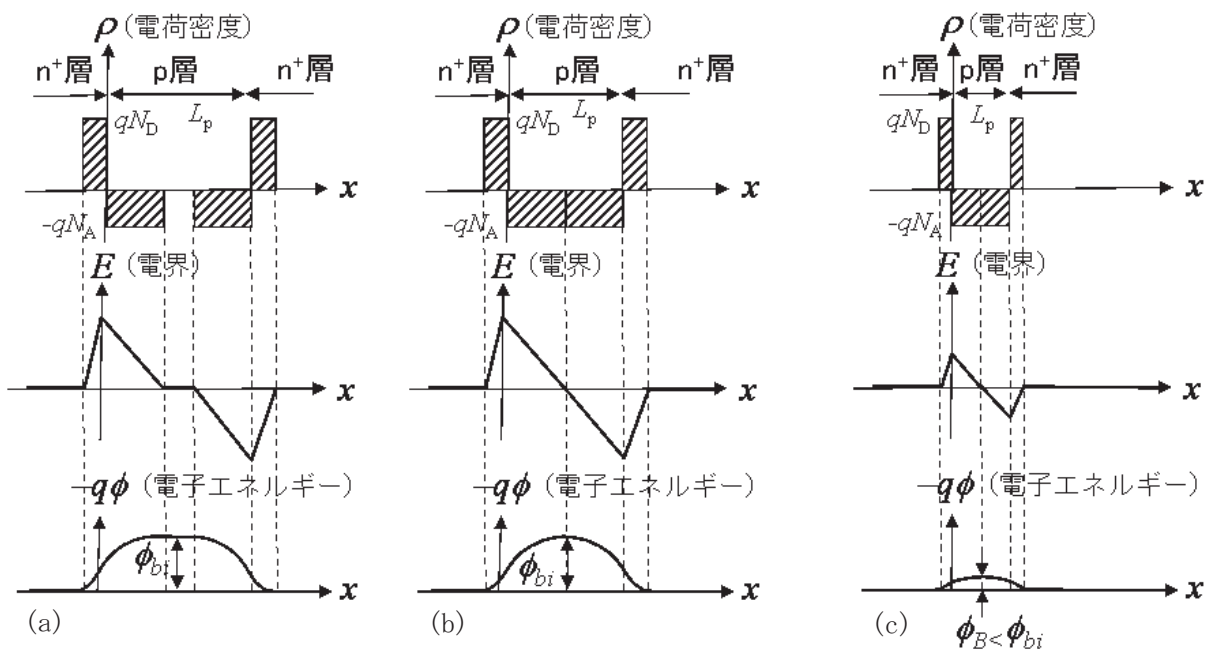
$$\mathcal{E}_{\max} = \frac{qN_D W_n}{\epsilon_s} = \frac{qN_A L_p}{2\epsilon_s} \tag{付録 I.2.2}$$

電位の最大値は、電界の積分が最大となる位置 ($L_p/2$) で得られ、図中の三角形の面積を求めて、

$$\phi_B = \frac{1}{2} \left(W_n + \frac{L_p}{2} \right) \mathcal{E}_{\max} = \frac{1}{8} \left(\frac{N_A + N_D}{N_D} \right) \frac{qN_A L_p^2}{\epsilon_s} \tag{付録 I.2.3}$$

となる。

n⁺-p-n⁺においてp層が十分厚い時 n⁺-p-n⁺においてp層が薄い時
(p層の中性領域がなくなる臨界膜厚)



付図 .3 電荷、電界、電位 (エネルギー) の p 層幅依存性

I.3 欠陥密度・歩留関係式の導出

欠陥密度が D 、チップ面積が A の時の歩留の式 (IV.3.3) を導出する。ここでは、工程数=1 とする。求める解は、 n 個のボール (点欠陥) を N 個の箱 (チップ) にランダムに入れるとき、着目する 1 つの箱に、ボールが k 個入る確率 P_k を求めることによって得られる。箱、ボール共に全て一つずつ識別可能とする。

$$P_k = (\text{着目する 1 つの箱にボールが } k \text{ 個入る場合の数}) / (\text{全ての場合の数}). \quad (\text{付録 I.3.1})$$

全ての場合の数 $= N^n$ (一つ一つのボールについて N 通りの箱の選び方があるため) (付録 I.3.2)

$$\text{分子} = {}_n C_k \cdot (N-1)^{n-k} = \frac{n!}{k!(n-k)!} \cdot (N-1)^{n-k} \quad (\text{付録 I.3.3})$$

${}_n C_k$ は n 個のボールの中から k 個のボールを選び出す組み合わせの数。 $(N-1)^{n-k}$ は、着目する箱以外の $N-1$ 個の箱に、残りの $n-k$ のボールを配置する場合の数である (一つ一つのボールについて $N-1$ 通りの箱の選び方があるため)。従って、

$$P_k = \frac{n!}{k!(n-k)!} \cdot \frac{1}{N^n} \cdot (N-1)^{n-k}. \quad (\text{付録 I.3.4})$$

ここで、 $n/N=m$ を一定として、 N, n 共に $\rightarrow \infty$ として近似計算すると (*後述)、

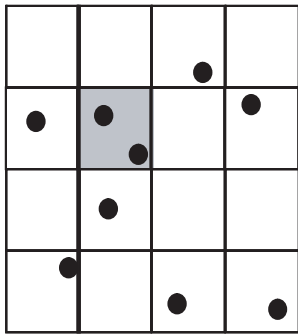
$$P_k \cong e^{-m} \frac{m^k}{k!}. \quad (\text{付録 I.3.5})$$

良品確率 (歩留) は $k=0$ の時なので、

$$P_0 = e^{-m}. \quad (\text{付録 I.3.6})$$

欠陥密度 $D=n/NA$ なので、 $m=n/N=DNA/N=DA$ 。従って、

$$P_0 = \exp(-DA). \quad (\text{導出終わり}) \quad (\text{付録 I.3.7})$$



付図.4 n 個のボール (点欠陥) を N 個の箱 (チップ) にランダムに入れるとき、着目する 1 つの箱 (グレイの箱) にボールが k 個入る確率 P_k を求める。

* (付録 I.3.5) の導出

P_k を変形すると

$$P_k = \frac{m^k}{k!} \cdot \left(1 - \frac{1}{n}\right) \left(1 - \frac{2}{n}\right) \cdots \left(1 - \frac{k-1}{n}\right) \left(1 - \frac{1}{N}\right)^{n-k}.$$

$$\text{ここで、} \left(1 - \frac{1}{n}\right) \left(1 - \frac{2}{n}\right) \cdots \left(1 - \frac{k-1}{n}\right) \approx 1,$$

$$\lim_{x \rightarrow 0} (1-x)^{-1/x} = e \quad (2.71828)$$

を用いると、(付録 I.3.5) となる。

I.4 不純物数の揺らぎとしきい値電圧

不純物濃度が揺らいだとき、しきい値電圧がどのように変化するかを定量的に議論する。MOSFETのしきい値電圧は、(III・2・10)に(III・2・11)を代入して次式で与えられる。

$$V_T = \frac{\sqrt{2\varepsilon_s q N_A (2\phi_f)}}{C_{ox}} + \phi_f + \phi_m - (\chi + E_g / 2) - \frac{Q_{ox}}{C_{ox}} \tag{付録 I・4・1}$$

簡単のため、不純物濃度に依存する第1項と2項のみについて考えると、

$$V_T = \frac{2N_A W_{max}}{C_o} + \phi_f = \frac{2}{C_o} \sqrt{\varepsilon_s N_A kT \ln \frac{N_A}{n_i} + \frac{kT}{q} \ln \frac{N_A}{n_i}} \tag{付録 I・4・2}$$

SiO₂ ゲート酸化膜厚が1nmの時の、上式の関係を図付.5に示す。(付録 I・4・2)において、N_Aが小さい時は、第2項が支配的であるが、N_Aが大きくなると第2項はバンドギャップの半分に近い値で飽和し、第1項が支配的となる。各々の場合について、N_AとV_{th}の関係式を導く。

- 1) 第1項が支配的な不純物濃度 N_A が大きい場合 (図付.5 で N_A > 10²⁰/cm³)

$$\frac{dV_T}{V_T} = \frac{dN_A}{2N_A}, \quad \left(\ln \frac{N_A}{n_i} \gg 1 \right) \tag{付録 I・4・3}$$

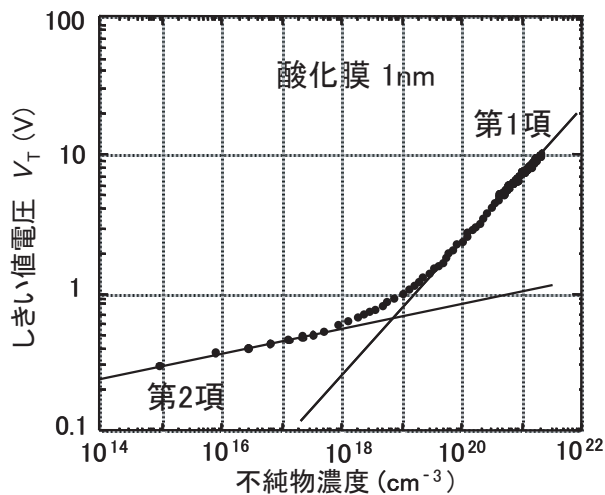
即ち、しきい値電圧の相対揺らぎは、不純物濃度の相対揺らぎの半分になる。

- 2) 第2項が支配的な不純物濃度 N_A が小さい場合 (図付.5 で N_A < 10¹⁹/cm³)

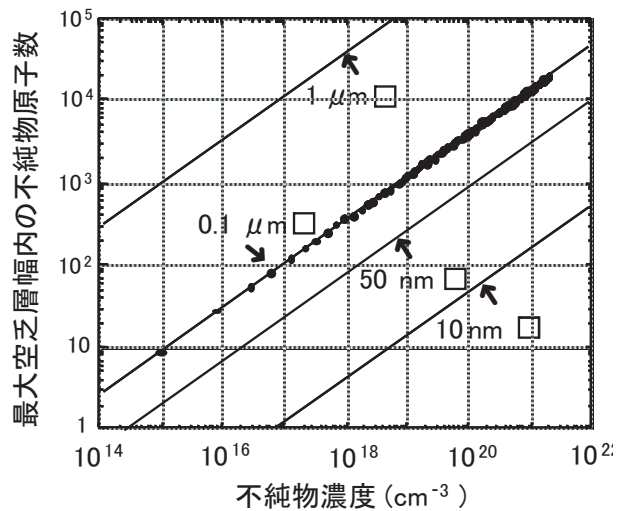
$$dV_T = \frac{kT}{q} \frac{dN_A}{N_A} \tag{付録 I・4・4}$$

即ち、しきい値電圧の揺らぎの絶対値は、不純物濃度の相対揺らぎに熱起電圧を乗じた値となる。

図付.6は、デバイスサイズを変えたときに、最大空乏層幅内に存在する不純物原子の数(それがしきい値電圧を決める)を、N_Aに対してプロットしたものである。N_A=10¹⁹/cm³、面積50nm²のデバイスで250個となり、このときの不純物数相対揺らぎは6.3%となる(教科書本文、V.1節)。



付図.5 しきい値電圧の不純物濃度依存性



付図.6 しきい値電圧を決める最大空乏層中の不純物原子数と不純物濃度、デバイスサイズの関係

I.5 真空準位について

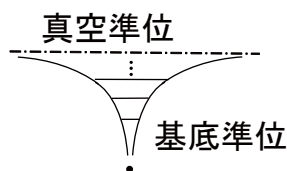
学生から次の質問を受けた。

「半導体のエネルギーバンド図を描くときの注意点として、電子親和力は物質によって決まっています、一定に描く必要があると習った（付録 II 例題 1）。ところで、伝導帯の底のエネルギーと、価電子帯の頂点のエネルギーは、温度によって変化する（図 II.4.7）。そこで伝導帯の底のエネルギーが変化したときに、電子親和力が変化するのか、真空準位が変化するのかななどの疑問がでました。」

解答を以下に示す・

Wikipedia では、真空準位（しんくうじゅんい、英語：vacuum level）とは、「内部に構造を持たない電荷を持った粒子（荷電粒子）が、真空中に孤立（かつ単独）で存在し、加えて運動エネルギーがゼロの状態にある時の最低のエネルギー準位のこと」となっている。

1. 水素原子の場合の真空準位

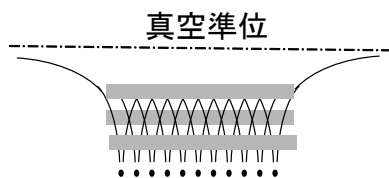


付図 .7 水素原子の場合の真空準位

まず、1 番シンプルな水素原子を考える。

水素原子核である陽子から、電子を無限遠まで引き離すエネルギーが、その電子の束縛エネルギー。この時無限遠に引き離された電子のエネルギー準位が真空準位と定義される（付図 .7）。

2. 原子集団である固体の場合

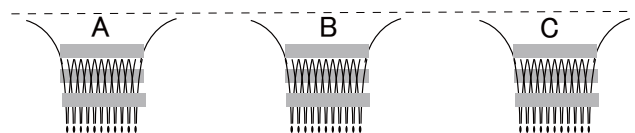


付図 .8 固体の場合の真空準位

次に原子の集団である固体を考える。

この場合、エネルギー準位は、幅を持つ帯状になるが、上と同様にその固体からその電子を無限遠まで引き離すエネルギーが、その電子の束縛エネルギー、この時の無限遠に引き離された電子のエネルギー準位が真空準位と定義される。伝導帯の底の電子を無限遠に引き離すエネルギーが電子親和力と定義される。

3. 複数固体（無帯電）の場合

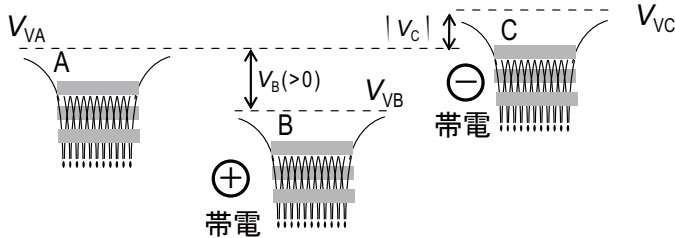


付図 .9 複数固体（無帯電）の場合の真空準位

次に複数の固体がある場合を考える（簡単のため無帯電の固体が複数あるとする）。

どの固体も中性であり、固体間には電界はないから、注目する電子を無限遠に引き離すエネルギーは、どの固体からみても一定、すなわち真空準位は 1 固体の場合に等しい。

4. 帯電した複数固体の場合



付図.10 複数固体（帯電）の場合の真空準位

次に複数の固体があり、それぞれの固体間（固体は導電性があり固体内で同電位とする）に電位差がある場合を考える（つまり、それぞれの固体が帯電していて、その帯電状態が異なるとする）。

その時のエネルギー図は例えば付図.10のようになる。

ここでは、A：中性、B：正に帯電、C：負に帯電とする。ただし、複数の固体は十分遠く離れていて、各々の帯電の影響は他の固体に及ばない、つまり、1つの固体が誘起する他の固体位置での電界は今議論するエネルギー値に対して無視できるほど小さいとする。

この場合の真空準位はどのように定義したら良いだろうか。

正に帯電したBの電子を無限遠に引き離すエネルギーは、Aの電子に比べ、その電位 $V_B(>0)$ の分だけ大きくなる。Cの場合はその電位 $V_C(<0)$ に対して $|V_C|$ 分だけ小さくなる。例えば金属で考えると、帯電した物質の仕事関数（フェルミ準位にある電子を真空準位までもっていくエネルギー）は、帯電電位によって変わる、と結論して良いのだろうか。ある実験室全体がある電位に帯電していた場合、その実験室内で観測される仕事関数は、帯電状態によって変わるのだろうか。

真空準位の定義にもどって考えてみよう。電子の真空準位は、電子が「運動エネルギーゼロで孤立して存在」、と定義にある。問題は存在する場所である。電子が物体Aの束縛から逃れて無限遠の場所に存在する時は、真空準位は上の図の V_{LA} が妥当と考えられる。では、物体Bについてはどうか。物体Bの束縛から逃れるために、十分離れた V_{LA} の電位の場所までもっていく必要があるだろうか。物体Bの束縛から逃れるためには、その物体の原子的な性質による束縛から逃れる V_{LB} の電位の場所までもっていけば十分と思われる。物体Cについてもしかり。物体A, B, Cの3者について比較が必要なときは、それらに共通の真空準位を定める必要があるが、個々の物体についてのみ議論する場合は、帯電の影響は考えなくてもよい。

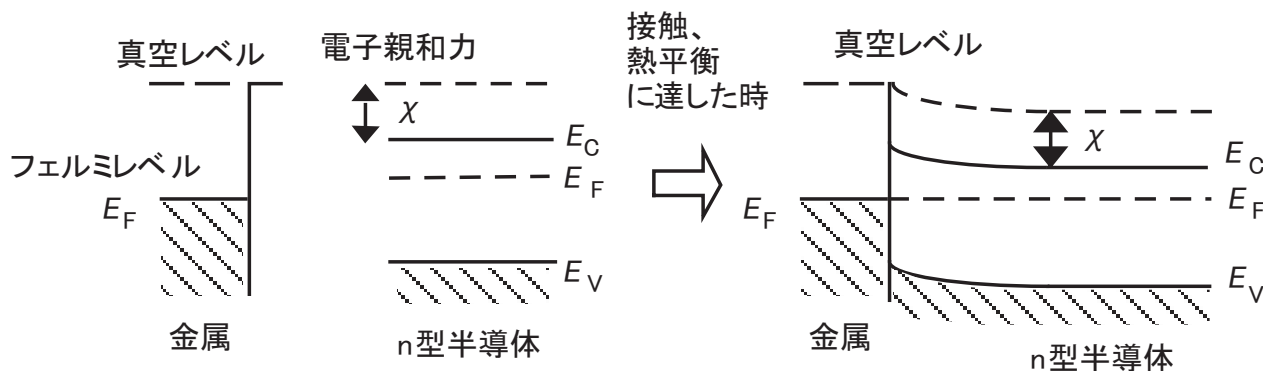
本来の真空準位は物体や、帯電状態によらない普遍的なものである。その意味で、ここでは仮にこれを真空準位 ∞ と表す。一方、物体固有の、上図の V_{LA} 、 V_{LB} 、 V_{LC} を、それぞれ、その物体固有の真空準位と定義する。そうすると、帯電した物体間で比較する場合の電子の束縛エネルギーは、物体固有の束縛エネルギー（着目する電子のエネルギーと物体固有の真空準位の差）+帯電電位、であらわすことができる。

こうすると、物質固有の束縛エネルギー（たとえば電子親和力や仕事関数）と帯電電位を分離して扱うことができ、便利である。言い換えれば、無限遠まで離れた位置ではなく、その物体の比較的近くで、その物体の原子的な性質による束縛から逃れた電子のエネルギー準位をその物体の真空準位と定義するのである。実験的には、光励起によって物体の束縛から解放されてその物体の比較的近くに運動エネルギーゼロで存在する電子のエネルギーがその物体の真空準位であり、その束縛エネルギーが仕事関数となる。この値は、その物体の帯電状態とは無関係である。しかし、複数の帯電した物体間で比較する場合は、無限遠までもっていくのに必要な帯電電位分のエネルギーを考慮する必要がある。

質問の、温度を変えて、伝導帯底のエネルギーが変わる時、電子親和力が変わるのか、真空準位が変わるのか、に対する解答に移ろう。これまでの議論のように、固体が帯電しない限り真空準位は変わらないと考えるのが妥当である。温度を変えても、たとえば熱せられて、熱電子を放出したりして帯電しない限り真空準位は一定と考えるが妥当。したがって、伝導帯底のエネルギーが変わる時は、電子親和力が変わったと解釈できる。

付録 II (例題と解答)

例題 1. 付図 . 11 の金属と n 型半導体とを接触させた後のエネルギーバンドダイヤグラムを描け。金属と半導体の接触をショットキー接触 (Schottky contact) と呼ぶ。



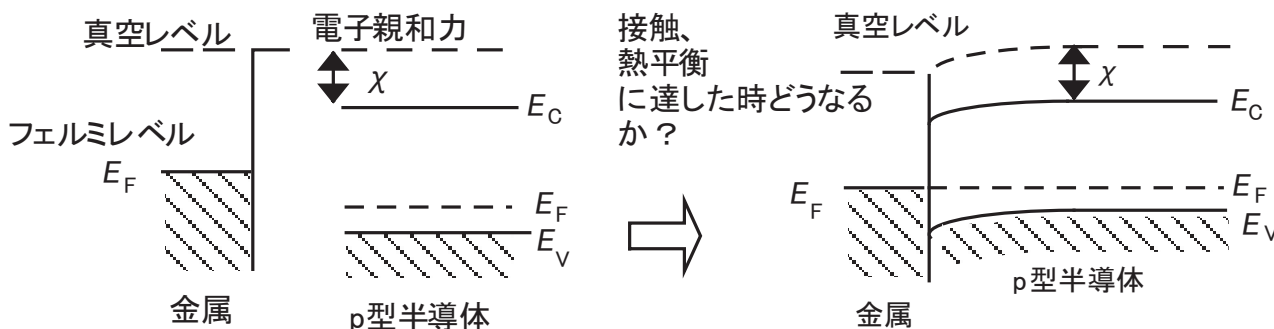
付図 . 11 金属と n 型半導体の接触

解答

付図 . 11 の右図のようになる。異種物質接合時のバンドダイヤグラム作成方法をまとめると次のようになる。

1. 熱平衡に達した後はフェルミレベルは一致する (熱平衡の定義)。
2. 物質固有の値 (電子親和力、エネルギーギャップなど) は変わらない。
3. 接触界面付近では、電荷の移動のため半導体のバンドは曲がる。
4. 真空レベル (物質中の電位) も電荷移動に伴い変化する。
5. 金属は電気抵抗が小さいので、内部では電位は一定で、バンドは曲がらない。
6. いたる所で電位は連続、即ち真空レベルが不連続になることはあり得ない。
7. 電界は電荷のないところでは連続だが、点電荷、面電荷があると不連続になる。

例題 2. 付図 . 12 の金属と p 型半導体とを接触させた後のエネルギーバンドダイヤグラムを描け。

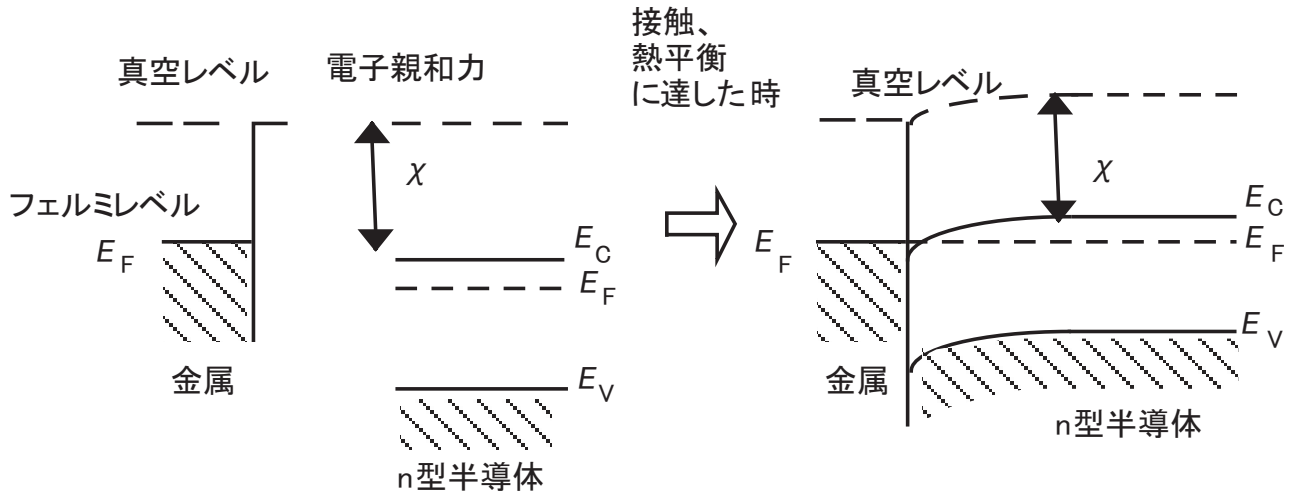


付図 . 12 金属と p 型半導体の接触

解答

付図 . 12 の右図のようになる。

例題 3. 付図 . 13 の金属と n 型半導体とを接触させた後のエネルギーバンドダイヤグラムを描け。



付図 . 13 金属と n 型半導体の接触。ただし、付図 . 12 と異なり、接触前の n 型半導体のフェルミレベルが金属のそれより下（低エネルギー側）にある。

解答

付図 . 13 の右図のようになる。なぜそうなるか、よく考えてみよう。

付録 III

1. 基礎物理定数

名称	記号	量	単位
真空中の光の速さ	c	2.99792458	10^8 m/s or 10^{10} cm/s
真空の透磁率	μ_0	$4\pi=12.5663706\dots$	10^{-7} H/m
真空の誘電率	ϵ_0	8.854187817 \dots	10^{-12} F/m or 10^{-14} F/cm
電気素量	q	1.60217733	10^{-19} C
プランク定数	h	6.6269755	10^{-34} J \cdot s ($\hbar=h/(2\pi)$)
電子の質量	m_e	9.1093897	10^{-31} kg
陽子の質量	m_p	1.6726231	10^{-27} kg
陽子と電子の質量比	m_p/m_e	1836.152701	
アボガドロ定数	N_A	6.0221367	10^{23} mol $^{-1}$
気体定数	R	8.314510	J \cdot mol $^{-1}\cdot$ K $^{-1}$
ボルツマン定数	k	1.380658	10^{-23} J \cdot K $^{-1}$
0 $^{\circ}$ Cの絶対温度	T_0	273.15	K
標準大気圧	P_0	1.01325	10^5 Pa

2. 単位換算

1 eV=1.602 \times 10 $^{-19}$ J

1 Torr=133 Pa

10^{-12} F/m= 10^{-14} F/cm

1 inch=25.4 mm

1 cal=4.1855 J

1 オングストローム (\AA) = 10^{-10} m

1 nm= 10^{-9} m

室温の熱エネルギー (300 K) $kT=4.14\times 10^{-21}$ J=26 meV

付録 IV 元素周期表

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1 H 水素 1.008	2 He ヘリウム 4.003	3 Li リチウム 6.941	4 Be ベリリウム 9.012	5 B 硼 10.81	6 C 炭素 12.01	7 N 窒素 14.01	8 O 酸素 16.00	9 F フッ素 19.00	10 Ne ネオン 20.18	11 Na ナトリウム 22.99	12 Mg マグネシウム 24.31	13 Al アルミニウム 26.98	14 Si シリコン 28.09	15 P リン 30.97	16 S 硫黄 32.06	17 Cl 塩素 35.45	18 Ar アルゴン 39.95
19 K カリウム 39.10	20 Ca カルシウム 40.08	21 Sc スカンジウム 44.96	22 Ti チタン 47.87	23 V バナジウム 50.94	24 Cr クロム 51.99	25 Mn マンガン 54.94	26 Fe 鉄 55.85	27 Co コバルト 58.93	28 Ni ニッケル 58.69	29 Cu 銅 63.55	30 Zn 亜鉛 65.41	31 Ga ガリウム 69.72	32 Ge ゲルマニウム 72.64	33 As 亜鉛素 74.92	34 Se セレン 78.97	35 Br 臭素 79.90	36 Kr クリプトン 83.80
37 Rb ルビウム 85.47	38 Sr ストロンチウム 87.62	39 Y イットリウム 88.91	40 Zr ジルコニウム 91.22	41 Nb ニオブ 92.91	42 Mo モリブデン 95.94	43 Tc テクネチウム 98	44 Ru ルテチウム 101.1	45 Rh ロジウム 102.9	46 Pd パラジウム 106.4	47 Ag 銀 107.9	48 Cd カドミウム 112.4	49 In インジウム 114.8	50 Sn スズ 118.7	51 Sb ヒ素 121.8	52 Te テルル 127.6	53 I ヨウ素 126.9	54 Xe キセノン 131.3
55 Cs セシウム 132.9	56 Ba バリウム 137.3	57~71 ラランタノイド	72 Hf ハフニウム 178.49	73 Ta タンタル 180.95	74 W タングステン 183.84	75 Re レニウム 186.21	76 Os オスマニウム 190.23	77 Ir イリジウム 192.22	78 Pt 白金 195.08	79 Au 金 197.0	80 Hg 水銀 200.59	81 Tl タリウム 204.38	82 Pb 鉛 207.2	83 Bi ヒ素 208.98	84 Po ポロニウム 209	85 At アスタチン 210	86 Rn ラドン 222
87 Fr フランシウム 223	88 Ra ラジウム 226	89~103 アクチノイド	104 Rf ルーテチウム 261	105 Db ドブニウム 262	106 Sg シーボグム 263	107 Bh ブヘリウム 264	108 Hs ハシモトニウム 265	109 Mt ミツウミノニウム 266	110 Ds デュシニウム 267	111 Rg ロジウム 268	112 Unb ウンバニウム 269	113 Nh ニホニウム 271	114 Fl フルロニウム 272	115 Mc メンケニウム 273	116 Lv リベルリウム 276	117 Uus ユウスニウム 278	118 Uuo ユウオニウム 279
109 Tm テュームニウム 168.9	110 Yb イッテルビウム 173.05	71 Lu リュンゲニウム 174.967	99 Tm テュームニウム 168.9327	100 Yb イッテルビウム 173.045	101 Lu リュンゲニウム 174.967	102 Hf ハフニウム 178.49	103 Ta タンタル 180.948	104 W タングステン 183.84	105 Re レニウム 186.207	106 Os オスマニウム 190.23	107 Ir イリジウム 192.22	108 Pt 白金 195.084	109 Au 金 196.96657	110 Hg 水銀 200.59	111 Tl タリウム 204.38	112 Pb 鉛 207.2	113 Bi ヒ素 208.9804
101 Fm フェルミウム 257	102 Md メンデルシウム 258	103 Lr ローレンシウム 260	104 Th トランシウム 232.0377	105 Pa プロトアクチン 231.03688	106 U ウラン 238.02891	107 Np ネプツニウム 237	108 Pu プルトニウム 239	109 Am アメリシウム 243	110 Cm カリホルニウム 247	111 Bk ベルケリウム 247	112 Cf カリフォルニウム 251	113 Es エジシウム 252	114 Fm フェルミウム 257	115 Md メンデルシウム 258	116 Lr ローレンシウム 260	117 Uue ユウエニウム 261	118 Uuo ユウオニウム 262

原子番号

原子量

見本

見本

原子量：1個の原子の質量の原子質量単位に対する比。すなわち ^{12}C 原子 1 個の質量に対する比である。元素に同位体が存在する場合は核種が異なるそれぞれの同位体ごとに原子の質量が異なるが、ほとんどの元素において同位体存在比は一定なので、原子量は存在比で補正された元素ごとの平均値として示される。同位体存在比の精度が変動するため、公示されている原子量の値や精度も変動する。(Wikipedia より)

参考文献

1. S. M. ジー著「半導体デバイス」南日他訳、産業図書 昭和 62 年.
2. 小柳光正著「サブミクロンデバイス I」丸善 昭和 62 年.
3. 小柳光正著「サブミクロンデバイス II」丸善 昭和 63 年.
4. 岸野正剛著「現代半導体デバイスの基礎」オーム社 平成 7 年.
5. 出水清史監修「半導体プロセス教本」SEMI ジャパン 1999 年第二版.
6. Y. Taur, T. H. Ning 共著 "Fundamentals of Modern VLSI Devices" Cambridge Univ. Press 1998.
7. 上記の翻訳書:「タウア・ニン 最新 VLSI の基礎」丸善 2002 年 芝原 健太郎 監訳 竹内 潔・寺内 衛・寺田 和夫・堀 敦・宮本 恭幸 訳.
8. 北海道大学大学院国際広報メディア研究科、半導体産業研究所 共著「21 世紀 IT 社会を拓く・半導体産業からのメッセージ・」半導体産業研究所, 2001 年 4 月.
9. 沼居貴陽著「例題で学ぶ半導体デバイス」森北出版株式会社 2006 年第 1 版.
10. 竹内 淳著「高校数学でわかる半導体の原理」講談社ブルーバックス 2007 年.
11. 廣瀬全孝他編「次世代 ULSI プロセス技術」 REALIZE INC. 2000 年.
12. VLSI Technology, ed. by S. M. Sze, McGraw-Hill. 1983.
13. 徳山巍 著「MOS デバイス」第 7 版 工業調査会 1983.
14. A. S. Grove, "Physics and Technology of Semiconductor Devices," John Wiley and Sons, Inc. 1967.
15. 菅野卓雄 編著「半導体プラズマプロセス技術」産業図書 1980 年.
16. 角南英夫 著「VLSI 工学 - 製造プロセス編 -」電子情報通信レクチャーシリーズ D-27、電子情報通信学会編、コロナ社、2006 年.

索引

あ

アインシュタインの関係式 22
 アクセプター 8, 17, 18, 22, 24, 28
 後工程 56
 アッシング 76
 アニール 52, 53, 61, 97, 100, 101, 113
 アバランシェ降伏 34
 アモルファス 4, 60, 82, 90, 93, 100
 アルカリ 66
 アルシン 96
 アレニウスプロット 15, 16

い

イオン化エネルギー 17
 イオン注入 30, 31, 52, 53, 57-61, 90-93,
 96, 97, 100, 101
 イオンの分布 97
 位相シフト法 63
 一 (1) 次元 6, 10-12, 20, 131, 133, 144
 位置合わせ 57, 60, 61
 移動度 4, 9, 12, 16, 17, 20, 21, 52, 56,
 72, 73, 81, 135, 136, 137, 144, 145
 異方性 69
 異方性エッチング 69, 72
 イメージ 32, 42
 インバータ 44, 58, 105, 132, 133
 インピーダンスマッチング 120

う

ウェットエッチング 68, 69
 ウェハ 3, 30, 31, 52, 55-65, 67, 68, 72,
 73, 86, 96, 113-115, 120, 130, 138, 139
 埋め込み 117
 埋め込み酸化膜 130
 運動量 8, 10, 16, 99, 111

え

液浸露光 63
 エキシマレーザ 63, 64
 液相 113
 液体 He 77
 エサキダイオード 33, 34
 SOI ウェハ 52, 120, 130
 エッチング 52, 56-61, 65, 68-76, 90, 120,
 115, 138, 139
 エネルギーギャップ 6, 7, 15, 137, 151

エネルギー障壁 28, 44, 125, 126, 128,
 130, 141, 146
 エネルギー損失 98, 99
 エネルギーバンド 5, 7, 8, 17, 27, 35,
 36, 42, 151, 152
 エピタキシャル 52
 エレクトロマイグレーション 106, 108-111
 塩化水素 55
 塩素 75, 76
 遠赤外線 17, 120
 エンハンスメント型 44, 58, 92

お

応答時間 47
 オゾン水 76
 オゾン層破壊 75
 オフ状態 4
 オーミック接触 113

か

外因性半導体 17, 18, 19
 開口数 62-64
 回折 5, 6, 62, 63
 解像度 62-66
 階段接合 29, 30, 35, 49
 回転数 122
 回転速度 113
 回転楕円体 16
 界面 27, 28, 32, 35-37, 38, 48, 50, 51,
 82, 85, 101, 103, 109, 110, 112, 113,
 129, 146, 151
 界面準位 39
 界面トラップ 39
 解離 71
 ガウス分布 93, 94, 98
 化学気相堆積 (CVD) 79
 化学的機械研磨 (CMP) 113
 拡散
 一係数 22, 85, 93, 94, 104, 108
 一長 31
 一定数 113
 一電位 28
 一電流 20, 22, 25, 28, 31-31
 一方程式 94
 一律則 86
 核成長 81

核阻止能 99, 100
 核衝突 122
 可視光 118
 片側階段接合 29, 30, 35, 49
 活性化 60
 -アニール 61
 -エネルギー 15, 16, 25, 94
 価電子 7
 -帯 7, 8, 18, 33, 34, 36
 -帯の有効(実効)状態密度 15
 可動イオン 39
 過渡応答 138
 間接遷移 8
 貫通孔 138, 139
 貫通電極 139
 貫通電流 44, 141

き

記憶 89
 寄生トランジスタ 91, 92
 犠牲酸化 84
 気相拡散 93
 気相堆積法 79
 気相中の酸化種 85
 気相反応 81
 擬フェルミ準位 24, 25
 基板バイアス 71
 基板バイアス効果 44
 基本格子 4
 逆方向バイアス 29, 32, 33
 キャリア 4, 5, 8, 12, 18, 20
 キャリア間散乱 21
 キャリア密度、分布 15-17, 24
 キャリア連続の式 23
 キャリア生成、再結合電流 31, 32
 キャリア注入 50
 共晶 112, 1123
 共振 13, 120, 121
 極限(微細化) 130
 極限(量子力学的) 133
 極限(熱力学的) 134
 極限(熱放散) 134, 135
 曲率半径 96
 禁制帯 7
 近接効果 65
 金属遮光膜 61
 金属と半導体の接触(ショットキー接触) 151,
 152
 金属のエッチング 68
 金属配線 57, 83, 91, 103-122

金属針 77, 78

<

空格子点機構拡散 94
 空乏近似 130, 131
 空乏層 27-53, 121, 125-131, 141
 空乏層幅 28-42, 49, 50, 53
 空乏領域 36-38, 40, 41
 屈折率 14, 62-64, 120, 121
 クリーンルーム(無塵室) 66-68, 83
 クロック周波数 2, 103, 106, 107, 132
 クロム 61

け

珪石 55
 欠陥 131, 147
 結晶構造 4
 結晶欠陥 9, 20, 53, 67, 82, 83, 101
 結晶周期場 5-7
 ゲート 27, 36-38, 42
 ゲート絶縁膜 39, 148
 ゲート長 48, 49, 125-128, 137, 141
 ゲート電圧 40-42
 ゲート電極 40
 減圧化学気相堆積法(LPCVD) 80, 83
 減衰率 119
 原理的境界 133

こ

高圧ジェット水流 52
 高温(熱)処理(アニール) 31, 52, 53, 78,
 84, 93, 96, 109, 121
 高誘電率, 高誘電体 79, 89
 光化学反応 66
 光学材料(電気、磁気) 120, 121
 光学的屈折率 14
 光学特性 8
 光源 62, 64
 光子 9
 格子間原子 93
 格子散乱 21
 格子定数 16
 光軸 62
 高周波デバイス 12
 高周波容量 40
 高周波特性 52
 高周波誘導加熱 55, 56
 高周波電源 72
 高周波放電 96
 光速 64, 153

高速電圧掃引 40
 高速熱処理 (RTP) 80
 降伏現象 28, 34, 41
 高融点金属 89
 誤差関数 93, 94
 固相拡散 93
 コスト 4, 67, 96, 107, 108, 132, 133, 139,
 140
 固体増幅器 1
 固定電荷 39
 固溶度 94, 95, 113
 コリメートスパッタ法 89
 コンタクト抵抗 68

さ

再結合 8, 14, 23, 72
 - 確率 14
 - 速度 23
 - 寿命 31
 - 電流 32, 33
 最終速度 21
 最小ゲート長 127
 最小テクノロジーノード 91
 最小配線遅延 131
 最小パターンサイズ 62
 最小ユニット 10
 最小容量 41
 サイズ限界 125
 サイズの縮小 46
 最大許容温度 135
 最大空乏層幅 41
 最大チャネル数 117
 最大電界強度 50, 51, 146
 最大動作周波数 103
 材料選択性 68, 69, 72
 酢酸 69
 サブスレッショルド特性, 係数 48-50
 酸化速度 83, 85, 90
 酸化膜 36
 酸化膜界面 37
 酸化膜分離 (LOCOS) 60
 酸化膜容量 38
 酸化防止膜 57
 酸化モデル (機構) 84
 酸素添加効果 72

し

紫外線 (光源) 62, 64, 75
 しきい値電圧 42, 43, 44, 49
 磁気光学効果 120

仕事関数 36, 38, 49, 53, 92, 130
 質量作用の法則 18
 シート抵抗 109
 自己整合 (セルフアライン) 技術 60, 61
 システムインパッケージ (System in Package)
 138
 システム LSI 138
 ジボラン 96
 射影飛程 98
 射影分散 98
 遮断領域 42
 シャロートレンチアイソレーション (STI) 83
 集積回路 1-3, 60, 140
 集積度 2, 3, 109, 132, 136, 137, 140
 集中定数モデル 119
 周波数 117-119
 充満帯 7
 縮小投影型光リソグラフィ 61
 縮退半導体 19, 20, 33
 順方向バイアス 32, 33
 常圧水蒸気酸化 86
 省エネルギーデバイス 35
 少数キャリア 31-33, 41, 45, 53
 - による拡散電流 31
 - の寿命 31
 - の熱励起発生 41
 - 密度 45
 状態密度 9-25
 蒸着 61, 76, 86, 88, 89
 焦点距離 62
 衝突距離 97
 衝突電離 34
 衝突時間 20, 21
 障壁高さ 49, 77, 126, 128, 130, 141, 146
 ショットキー接合 151
 シリコン (Si) 1, 2, 4, 5, 8, 15-17, 20-22,
 25, 28, 35-37, 42, 47-62, 65, 68, 82 他
 シリコン (Si) 酸化膜 - 酸化膜の項参照
 シリコン (Si) 窒化膜 57, 79, 84, 90, 115
 シリコンフォトニクス 120
 シリサイド 79, 108, 109
 真空準位 27, 36, 38, 149
 真空蒸着 76, 86, 88, 89
 真性半導体 8, 15
 真性キャリア密度 15, 16, 19, 37
 真性フェルミレベル 37, 48, 53
 信頼性 2, 35, 67, 104, 108-111

す

水素アニール 52

水素イオン注入 53
 水素・酸素燃焼 (パイロジェニック) 酸化 83
 水素原子 66
 水素原子モデル 17
 水素添加効果 71, 72
 水素雰囲気中熱処理 101, 102
 垂直エッチング 68-72, 76
 垂直方向のスケーリング 106
 垂直に深い孔の形成 139
 スイッチングエネルギー 133, 134
 スイッチング時間 134
 スイッチング速度 133
 スイッチングパワー 133
 スケーリング則 46-53
 ステップ 62, 68
 ステップ関数 14, 1045
 ステップ部分の段差被覆性 88
 スパイク発生 111
 スパッタ 60, 71, 79, 80, 86-89, 117, 121
 -イールド 88
 -材料 88, 89
 -装置 88
 スループット 80

せ

正孔 4, 7-9, 14, 15, 27, 32, 34, 36, 51, 136, 137, 144
 正孔移動度 17, 21, 135-137
 生成・再結合電流 33
 成長速度 81
 静電場, 静電ポテンシャル 23
 静電誘導 129
 静電容量 30
 整流性 32, 72, 73
 石英管 (チューブ) 30, 83
 赤外線 17, 117
 絶縁膜 39, 57-61, 74, 79
 絶縁耐圧 84
 絶縁分離 57, 60
 接合界面 27, 28, 32, 35-37, 39
 セルフアライン (自己整合) 技術 60, 61
 セルフバイアス 72
 線形領域 42, 45

そ

相互拡散 111
 相互コンダクタンス 48, 50
 相互作用 6, 7, 19, 99
 走査トンネル顕微鏡 (STM) 77
 相図 112, 113

双方向スイッチ動作 44
 速度オーバーシュート 21
 速度飽和 2, 21
 側壁保護膜 71, 72, 138, 139
 素子分離 60, 83, 90
 ソース/ドレイン 20, 27, 42 他
 ソフトエラー 51, 89

た

ダイオード 2, 35, 120, 138
 ダイナミック動作 44
 ダイヤモンド (構造) 4, 113, 132
 大規模集積回路 (LSI) 1
 耐熱性ゲート 60
 耐熱性金属 108, 109
 太陽電池 4
 多結晶 Si 4, 55-61, 71, 74, 79, 90, 91, 109
 ターゲット 60, 86, 88, 89, 96
 多数キャリア 37
 多層配線 104, 106, 107, 113
 ダブルヘテロ構造 (レーザ) 14
 ダマシン 115
 単位胞 4
 タングステン 89, 108
 単結晶 4, 5, 8, 52-56, 100, 121
 単結晶引き上げ 55
 短時間アニール 1001
 短時間酸化 85, 86
 短チャネル効果 2, 48-50, 125, 128

ち

置換 5, 17, 94
 蓄積容量 51
 蓄積領域 36, 37, 38, 40
 窒化チタン (TiN) 79, 103, 108, 110-112, 117
 チップ 3, 56-60, 63, 65, 67, 106, 107, 117-119, 132, 138, 147
 チャネリング 90, 100
 チャネル 42
 チャネル長 48, 49, 130
 チャネル長変調効果 44
 チャネル幅 45, 47, 51, 141
 チャネルストップ 91, 92
 中性子線 51
 中性ビームエッチング 74
 中性不純物散乱 21
 注入 (キャリア) 50
 直接遷移型半導体 8, 17
 直列抵抗 32, 35, 41, 44, 51

- 通信容量 117, 120
ツェナー降伏 34
強い量子効果 12
- つ
- 低温での格子の熱振動 21
低温プロセス 97
低温まで低抵抗 20
抵抗率 4, 16, 22, 56, 106, 108, 109
ディプリーション型 44
デザインルール 134
テトラエチルオルソシリケート (TEOS) 80
デバイ長 40
デバイス限界 133
デバイス作製工程 101
デバイスの縮小 129
デュアルダマシン 104, 115
電荷中性条件 18
電気光学材料 120, 121
電気伝導度 9, 22
電子移動度 12, 17, 20, 21, 72, 73, 135, 137
電子親和力 16, 27, 38, 48, 53, 149, 151-152
電子ビームリソグラフィ 63-66
点接触トランジスタ 1
伝送線路 119
伝達コンダクタンス 130, 137
伝導帯 7
電気抵抗 4, 5, 22, 94, 109, 151
電流電圧特性 31, 32
電流密度式 22, 25
- と
- 等価屈折率 121
動作周波数 2, 103
導体 4
等方性エッチング 68
ドーズ量 31
ドナー 8
ドライエッチング 68, 69
トランジスタ 1
トリクロロシラン 55
ドリフト速度 20, 144
ドリフト電流 20
ドレイン 20, 27, 42
ドレイン電流 42, 43, 45
トレンチ分離 114, 115
トンネル現象 34
トンネル障壁 128
- トンネルダイオード (エサキダイオード) 34
トンネル電流 33
- な
- 内蔵 (拡散) 電位 28
内部応力 83
雪崩降伏 34
- に
- 二 (2) 次元 4, 10, 11, 12, 14, 57, 60, 119
2次酸化係数 85
入力抵抗 44
- ね
- ネガ (ティブ) 型レジスト 60
熱運動 20, 77
熱エネルギー 8
熱化学反応 79
熱拡散 6, 80, 93, 96, 101
熱起電圧 148
熱酸化 60, 82
熱処理 60
熱振動 21
熱ストレス 80
熱生成 31
熱速度 20
熱伝導度 16
熱濃硫酸 76
熱分解反応 55
熱分布 80
熱平衡状態 18
熱放射 75
熱膨張係数, 熱膨張率 61, 82
熱励起 8
- の
- ノーベル賞 1, 2, 33, 77
- は
- ハイゼンベルクの不確定性原理 10
配線寿命 109, 110, 111
バイポーラ 44
パイロジェニック酸化 83
剥離液 75
波数 5-6, 8, 16
パターン 44, 60-62, 64-67, 76, 84, 101, 107
波長 5, 6, 13, 14, 62-75, 117-121, 125
パッケージ 56, 138
発光効率 (強度) 8, 12
発光素子 (デバイス) 8, 17, 119, 120

発光波長 14
 バリアメタル 110-112
 バルク 14, 52, 130
 反射防止 111
 パンチスルー 48-50, 52, 125, 130, 146
 反転 36-43
 反転状態 13, 38, 39, 41, 43, 44, 49
 反転層 41, 42
 反転電圧 38, 39
 反転電荷 37, 40
 反転容量 40
 反転領域 37
 半導体 1-9, 14-23, 28, 35-38, 61, 70, 82,
 87, 90, 106, 120, 125-141, 151, 152
 バンド 5-19
 バンドギャップ 5-8, 14-19, 33-35, 82, 126,
 128, 130, 135, 141, 148
 反応性イオンエッチング (RIE) 65, 71-73
 反応性スパッタリング法 88
 バンブー構造 110

ひ

光照射 61
 光スイッチ 121
 光増幅 13
 光通信 117
 光の回折理論 62
 光配線 117
 光ファイバー 117
 光変調 121
 光露光 63
 引っ張り応力 111, 112
 飛程 98-100
 比抵抗 4
 比誘電率 16, 17, 28, 89, 129
 表面準位 39
 表面濃度 91
 表面反応 81, 117
 表面ポテンシャル 38
 ピラニア処理 76
 ピンチオフ 42, 43, 45, 126

ふ

フィールド酸化膜 (分離酸化膜) 57
 フェルミ (\cdot ディラック) 分布 9
 フェルミエネルギー (準位、レベル) 9, 14, 15,
 18, 19
 フェルミ粒子 9
 フォスフィン 96
 フォトディテクタ 17, 121

フォトニクス 121
 フォトマスク (レチクル) 62, 64, 67
 フォトリソグラフィ 61-64, 67, 111
 フォトレジスト 116
 不純物散乱 12, 21, 144
 不純物準位 (レベル) 17
 不純物濃度 9, 125
 不純物濃度依存性 (酸化速度) 85
 不純物分布 93, 96, 97, 100-102
 不純物ゆらぎ 2, 128-130, 148
 負性抵抗 12, 33
 フッ酸 70, 84
 物理的スパッタ 71
 歩留 (良品率) 67, 132
 フラッシュメモリ 79
 ブラッグ回折 6
 プラズマエッチング 68-74
 フラットバンド状態 36, 38
 フラットバンド容量 40
 プリアモルファス化 100
 プレーナ技術 57, 60
 ブロッキングコンデンサ 72
 フローティングゲート 79
 フローティングゾーン法 122
 分子動力的シミュレーション 86
 分離絶縁膜 57, 91

へ

平均衝突 (緩和) 時間 20, 21, 144
 平均自由工程 (平均衝突距離) 20, 21, 80, 97,
 144
 平衡状態 18
 へき開 14
 ヘテロ構造 14
 変換デバイス 119
 偏析係数 101
 変調 121

ほ

ポアソン方程式 23, 25, 28, 37, 46, 131
 ホット燐酸 69
 ボーア半径 17
 放射線 51
 放物線 5, 14, 45
 飽和速度 16, 21, 133
 飽和領域 19, 42, 43
 補誤差関数 93, 94
 ポッケルス効果 120
 ポジ (タイプ) 型レジスト 60, 61, 66, 67
 ボース・アインシュタイン分布 9

ボース粒子 9
 ボッシュプロセス 139
 ポリシリコン 80, 119
 ボルツマン定数 9, 122, 153
 ボルツマン分布 9
 ホワイトリボン 84

ま

マイクロ波 118
 マイクロプロセッサ 2, 138
 マイクロ波デバイス 17
 マイクロ波通信 117
 前工程 56
 マスク (レチクル) 62, 64, 67
 マッハツェンダー干渉計 120, 121

み

溝分離 115
 密着層 110
 密着性 111, 117

む

無衝突 22
 無線インターコネクション 120
 無線周波数 117
 無線通信 117
 無電界下の運動 20
 無電解メッキ 117

め

メタル配線 57
 面心立方格子 4
 面電荷 151

も

モデル 5, 119
 モバイルPC 1
 モノリシック 120
 モンテカルロ法 25
 モンテカルロシミュレーション 97

や

ヤスデ 78

ゆ

有効質量 15-17, 20, 21, 126, 141, 144
 融点 16, 56, 60, 88, 89
 誘導放出 13, 14
 ゆらぎ 2, 129

よ

溶解性変化 66
 溶解阻害剤 66
 溶解度 56, 113
 溶解反応律速 70
 容量一電圧特性 29, 39, 40
 横方向射影分散 98

ら

ランダムアクセスメモリ (RAM) 79, 138
 ランダム運動 20
 ランダムに見える方向からイオン注入 100
 ランダム配置 77

り

理想電流電圧特性 31
 理想係数 32
 理想的なCVD 89
 リソグラフィ 61-67
 律速 85
 リピータ 105
 リフトオフ法 76, 89
 粒界 109-111
 流束 20, 85
 量子効果 2, 12, 140
 量子力学的極限 (限界) 133, 141
 良品率 (歩留) 67, 132
 臨界角 100
 磷酸 69

れ

レーザ 8, 12-14
 レーザアニール 101
 レーザアブレーション 89
 レーザ干渉計 63
 レーザダイオード 120
 レーザドーピング 93
 レジスト 66
 レチクル (マスク) 62, 64, 67
 レーリーの式 62
 連続の式 23

ろ

露光法 63

わ

ワイブルプロット 111
 ワイヤボンディング 138
 ワイヤレス 120

欧 文 索 引

A

Ag 87, 106
 Al 55-61, 71, 79, 80,86, 87, 92, 94, 95, 106, 108
 Al spike 112
 Ar 71, 86-88, 136, 137
 As 56, 57, 61, 94, 95, 99
 a-Si 4
 Au 70, 76, 87, 94, 95, 106, 108
 Avalanche breakdown 34

B

B 5, 17, 56, 94, 101
 BaTiO₃ 87
 Be 87
 B₂H₆ 96
 Bardeen 1
 Binnig 77
 bird's beak 83
 Bosch process 139
 Brattain 1

C

C 87
 C54 phase 109
 Ca 55
 CMP (Chemical Mechanical Polish) 113
 CMOS (Complementary MOS) 44, 58, 59
 CoSi₂ 109
 CPU 103
 Cr 17, 62, 63, 88
 Cu 76, 78, 79, 87, 94, 95, 103
 CVD (Chemical Vapor Deposition) 79, 80
 CZ (Czochralski) 55

D

damascene 115
 Deal Grove 84
 DRAM (Dynamic RAM) 79
 dry etching 68
 dual damascene 104, 115

E

Eltran (Epitaxial Layer Transfer) 52
 erfc (complementary error function) 93

F

Fermi-Dirac distribution function 9
 ferroelectrics 79

FinFET 137
 FOUP (Front Opening Unified Pod) 67, 68
 Fowler-Nordheim Tunnel 125
 FZ (Floating Zone) 55

G

GaAs 4, 8, 12, 14-17, 135
 GaAlAs 14
 GaN 16
 Ge 1, 4, 8, 15-17, 32, 87, 120, 135
 Gordon Moore 3
 GWP (Global Warming Potential) 75

H

Heisenberg 10
 HEMT (High Electron Mobility Transistor) 12
 HF 69, 70
 Hf 87
 HfO₂ 129

I

Imref 24
 In 94, 108
 InSb 137
 In₂O₃ 87
 IrO₂ 79
 intrinsic (i type) semiconductor 131

J

Jack Kilby 2
 junction 16

K

K 87
 Kilby (Jack Kilby) 2

L

Laser 13
 LOCOS (Local Oxidation of Si) 60, 61, 83
 LPCVD (Low Pressure CVD) 80
 LSI (Large Scale Integration) 1
 LSS theory 97

M

MEMS (Micro Electro Mechanical Systems) 68
 Millipede 78
 Mn 87
 MnO₂ 87
 Mo 68, 87
 Moore's law 3

- MOCVD (Metalorganic CVD) 79
MOS (Metal Oxide Semiconductor) 27
MOSFET (MOS Field Effect Transistor) 1, 42, 125
- N
- n (N) channel 42, 44, 76
n⁺ poly-Si 1, 42
Na 39, 87, 94
NAND 58
Ni 77, 87
NiSi 109
Noyce (Robert Noyce) 2
- O
- O 55, 72
O₂ 71, 83, 96, 136, 137
Os 87
ozone layer 75
- P
- P 5, 17, 31
PbTe 135
p (P) channel 44
PH₃ 96
planar technology 60
plasma 71
PMA 59, 113, 114
PMMA 65
p-n junction 27
post metallization anneal (PMA) 113
P₂O₅ 96
POCl₃ 96
Pr₂O₃ 129
Pt 17, 76, 79, 87
PtSi 109
- R
- RAM (Random Access Memory) 79
RC time constant 105
RIE (Reactive Ion Etching) 71
Robert Noyce 2
Rohrer 77
RTP (Rapid Thermal Process) 80
Ru 87
RuO₂ 79
- S
- scaling rule 46
Schockley 1
Schottky contact 151
- self align 59
short channel effect 2, 48-50, 125, 128
Si 1, 2, 4, 5, 8, 15-17, 20-22, 25, 28,
35-37, 42, 47-62, 65, 68, 82 etc.
SiCl₂H₂ 80
SiH₄ 80
SiHCl₃ 55
SIMOX (Separation by Implanted Oxygen) 52
Si₃N₄ 57, 72, 79, 82, 84, 90, 115
SiO₂ 16, 36, 43, 52, 69, 79, 82, 83, 90, 94
SIP (System in Package) 138
Smart Cut 52
SnO₂ 87
SOC (System on a Chip) 138
SOI (Silicon On Insulator) 51, 52, 120, 130 135-137
solubility 95
sputtering 86
SRAM (Static RAM) 138
stepper 61
STI (Shallow Trench Isolation) 115
stimulated emission 13
STM (Scanning Tunnel Microscope) 77, 78
- T
- Ta 87, 103
TaN 103
Ta₂O₅ 79
tensile stress 111
Ti 87, 108
TiN 79, 103
TiSi₂ 103
transmission line 119
- W
- W 71, 79, 80, 104, 108, 110
WF₆ 80
WKB 126
WSi₂ 108
- X
- X-ray lithography 62
- Y
- yield 67
- Z
- Zener breakdown 34
Zr 87
ZrO₂ 79, 129

著者の略歴

現職 広島大学ナノデバイス・バイオ融合科学研究所教授 所長

1981年 広島大学大学院工学研究科博士課程修了 工学博士
広島大学助手

1982.4-1983.3 アメリカ IBM Thomas J. Watson 研究所客員研究員

1985年 筑波大学講師

1989年 筑波大学助教授
広島大学助教授

1994年 広島大学教授

著書「光結合集積回路製作技術」(共著)、FED ジャーナル Vol. 7 No. 2 pp. 22-31, (財)新機能素子
研究開発協会(1996年).

「クリーンルーム設計と運転・維持管理」(共著)、(株)情報機構、2002年.

「LSIにおける光配線技術」応用物理第76巻 第11号 解説 pp. 1238-1245 (2007年). 他

URL <http://www.RNBS.hiroshima-u.ac.jp/>

E-mail: yokoyama-shin@hiroshima-u.ac.jp

デバイス・プロセス工学

2006年10月1日初版発行

2008年12月1日第2版発行

2009年10月1日第3版発行

2010年10月1日第4版発行

2011年10月1日第5版発行

2012年10月1日第6版発行

2013年10月1日第7版発行

2014年10月1日第8版発行

2015年10月1日第9版発行

2016年10月1日第10版発行

2017年10月1日第11版発行

よこやま しん

著作者 横山 新

発行所 New Mountain Side Publishing Company
